

Attorney's Office No.: 04171/LH

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant : Reiji HATTORI
Serial Number : 10/801,172
Filed : 11 Mar 2004
Art Unit : 2673

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class mail in an envelope addressed to:
Commissioner for Patents,
P.O. Box 1450,
Alexandria, VA 22313-1450 on the date noted below.

Patricia O. Bryson
Patricia O. Bryson
Dated: July 29, 2004

SUBMISSION OF PRIORITY DOCUMENT(S)

Commissioner of Patents
Washington, D.C. 20231

Sir:

Enclosed are Certified Copy(ies); priority is claimed under 35 USC 119:

| <u>Country</u> | <u>Application No.</u> | <u>Filing Date</u> |
|----------------|------------------------|--------------------|
| JAPAN | 2002-187803 | June 27, 2002 |

Frishauf, Holtz, Goodman
& Chick, P.C.
767 Third Avenue - 25th Fl.
New York, N.Y. 10017-2023
TEL: (212) 319-4900
FAX: (212) 319-5101
LH/pob

Respectfully submitted,

Leonard Holtz
Leonard Holtz
Reg.No. 22,974

BEST AVAILABLE COPY

S/n 10/801.172
Ref unit 2673

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 2 年 6 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 1 8 7 8 0 3
Application Number:

ST. 10/C] : [J P 2 0 0 2 - 1 8 7 8 0 3]

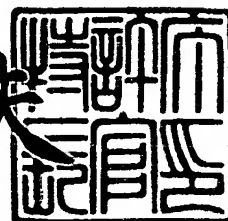
願 人
Applicant(s): カシオ計算機株式会社
服部 励治

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 2 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 02-0756-00

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 03/00
G09G 03/20 612
G09G 03/20 621

【発明者】

【住所又は居所】 福岡県福岡市西区姪浜町 2 0 0 - 1 - 1 0 9

【氏名】 服部 励治

【特許出願人】

【識別番号】 000001443

【氏名又は名称】 カシオ計算機株式会社

【代表者】 樫尾 和雄

【特許出願人】

【識別番号】 399111060

【氏名又は名称】 服部 励治

【代理人】

【識別番号】 100096699

【弁理士】

【氏名又は名称】 鹿嶋 英實

【手数料の表示】

【予納台帳番号】 021267

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電流駆動装置及びその駆動方法並びに電流駆動装置を用いた表示装置

【特許請求の範囲】

【請求項 1】 各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置において、

前記負荷の駆動状態を制御するための所定の電流値を有する電流を生成して出力する唯一の電流発生手段と、

前記各出力端子ごとに設けられ、前記電流発生手段から出力される前記電流を、各々異なるタイミングで順次取り込んで保持し、前記負荷を駆動する所定のタイミングで、前記保持した前記電流に基づく前記駆動電流を、前記出力端子を介して一斉に出力する複数の電流記憶手段と、
を備えたことを特徴とする電流駆動装置。

【請求項 2】 前記電流発生手段から出力される前記電流は、入力信号に基づく電流値を有するように設定されていることを特徴とする請求項 1 記載の電流駆動装置。

【請求項 3】 前記各電流記憶手段は、並列に配置された一対の電流記憶部を備え、

一方の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、他方の電流記憶部に保持した電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時に並行して実行するように制御されることを特徴とする請求項 1 又は 2 記載の電流駆動装置。

【請求項 4】 前記各電流記憶手段は、直列に配置された前段及び後段の電流記憶部を備え、

前記前段の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持し、前記保持した電流を次段に転送する動作と、前記後段の電流記憶部に保持された前記前段の電流記憶部から転送された前記電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時に並行して実行するように制御されるこ

とを特徴とする請求項 1 又は 2 記載の電流駆動装置。

【請求項 5】 前記電流発生手段は、

前記複数の負荷の各々の駆動状態を制御するための所定数のデジタル入力信号に基づいて、第 1 の電流値を有する制御電流を生成する制御電流生成部と、

前記制御電流に対して所定の電流比率となる第 2 の電流値を有する出力電流を生成して、前記電流記憶手段に出力する出力電流生成部と、
を備え、

前記第 1 の電流値は、前記第 2 の電流値よりも大きく設定されていることを特徴とする請求項 1 乃至 4 いずれかに記載の電流駆動装置。

【請求項 6】 前記駆動電流は、各出力端子に対して所定の同一の電流値を有するように設定されていることを特徴とする請求項 1 記載の電流駆動装置。

【請求項 7】 前記電流駆動装置は、前記複数の電流記憶手段の前段に単一の入力電流記憶手段を備え、

前記入力電流記憶手段は、前記電流発生手段から出力される前記電流を前記入力電流記憶手段に取り込んで保持し、前記入力電流記憶手段に保持した電流を任意のタイミングで前記複数の電流記憶手段に供給することを特徴とする請求項 6 記載の電流駆動装置。

【請求項 8】 前記入力電流記憶手段は、並列に配置された一対の入力電流記憶部を備え、

一方の入力電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、他方の入力電流記憶部に保持した電流を前記複数の電流記憶手段に供給する動作を、同時に並行して実行するように制御されることを特徴とする請求項 7 記載の電流駆動装置。

【請求項 9】 前記電流駆動装置は、更に、前記複数の出力端子に接続され、前記出力端子から前記負荷に供給される前記駆動電流のパルス幅を設定するパルス幅設定手段を備え、

前記パルス幅設定手段は、入力信号に応じて前記出力端子毎に前記パルス幅を設定することを特徴とする請求項 7 記載の電流駆動装置。

【請求項 10】 少なくとも、前記複数の電流記憶手段及び前記出力端子は

、少なくとも一つの半導体チップに形成されていることを特徴とする請求項 1 乃至 9 のいずれかに記載の電流駆動装置。

【請求項 11】 前記電流発生手段は、前記半導体チップとは別個の半導体チップに形成されていることを特徴とする請求項 10 記載の電流駆動装置。

【請求項 12】 前記電流発生手段は、前記半導体チップに形成されていることを特徴とする請求項 10 記載の電流駆動装置。

【請求項 13】 前記半導体チップにおいて、少なくとも前記電流記憶手段は、前記電流をソースドレイン間に流下し、該電流に基づくソースゲート間電圧をソースゲート間の寄生容量に保持する電界効果型トランジスタを有して構成され、

前記電界効果型トランジスタの移動度は、少なくとも $200 \text{ cm}^2/\text{Vs}$ の値を有することを特徴とする請求項 10 記載の電流駆動装置。

【請求項 14】 各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置において、

相互に並列に配置され、かつ、各々異なる重み付けを有するように電流値が設定された基準電流を生成して出力する複数の基準電流発生部を備える唯一の基準電流発生手段と、

前記基準電流発生手段における前記複数の基準電流発生部から出力される前記基準電流を個別に取り込んで保持する複数の基準電流記憶部を備える基準電流記憶手段と、

前記複数の基準電流記憶部のうち、任意の前記基準電流記憶部を選択して所定の電流値を有する電流を生成する電流生成手段と、

前記電流生成手段により生成される前記電流を各々異なるタイミングで順次取り込んで保持し、前記負荷を駆動する所定のタイミングで前記保持した前記電流に基づく前記駆動電流を、前記各出力端子に一斉に出力する複数の電流記憶手段と、

を具備することを特徴とする電流駆動装置。

【請求項 15】 前記電流生成手段は、所定数のデジタル入力信号に基づい

て、前記基準電流記憶手段における前記複数の基準電流記憶部のうち、任意の基準電流記憶部を選択し、該選択された前記基準電流記憶部に保持された前記基準電流を合成して前記電流を生成することを特徴とする請求項 14 記載の電流駆動装置。

【請求項 16】 前記基準電流記憶手段は、並列に配置され、夫々前記複数の基準電流記憶部を備える一対の基準電流記憶回路部を備え、

一方の基準電流記憶回路部に前記複数の基準電流発生部から出力される前記基準電流を取り込み保持する動作と、他方の基準電流記憶回路部に保持した基準電流に基づいて、前記電流生成手段により前記電流を生成する動作を、同時に並行して実行するように制御されることを特徴とする請求項 14 又は 15 記載の電流駆動装置。

【請求項 17】 少なくとも、前記複数の基準電流記憶手段、前記電流生成手段、前記複数の電流記憶手段及び前記出力端子は、少なくとも一つの半導体チップに形成されていることを特徴とする請求項 14 乃至 16 のいずれかに記載の電流駆動装置。

【請求項 18】 前記基準電流発生手段は、前記半導体チップとは別個の半導体チップに形成されていることを特徴とする請求項 17 記載の電流駆動装置。

【請求項 19】 前記基準電流発生手段は、前記半導体チップに形成されていることを特徴とする請求項 17 記載の電流駆動装置。

【請求項 20】 前記半導体チップにおいて、少なくとも前記電流記憶手段は、前記電流をソースドレイン間に流下し、該電流に基づくソースゲート間電圧をソースゲート間の寄生容量に保持する電界効果型トランジスタを有して構成され、

前記電界効果型トランジスタの移動度は、少なくとも $200 \text{ cm}^2/\text{Vs}$ の値を有することを特徴とする請求項 17 記載の電流駆動装置。

【請求項 21】 各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置の駆動方法において、

唯一の電流発生手段により、前記負荷の駆動状態を制御するための所定の電流値を有する電流を生成して供給し、

前記各出力端子ごとに個別に設けられた複数の電流記憶手段に、前記電流を各々異なるタイミングで順次取り込んで保持し、

前記負荷を駆動する所定のタイミングで、前記各電流記憶手段に保持した前記電流に基づく前記駆動電流を、前記各出力端子に一斉に出力することを特徴とする電流駆動装置の駆動方法。

【請求項 2 2】 前記各電流記憶手段は、並列に配置された一対の電流記憶部を備え、

一方の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、他方の電流記憶部に保持した電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時並行的に実行することを特徴とする請求項 2 1 記載の電流駆動装置の駆動方法。

【請求項 2 3】 前記各電流記憶手段は、直列に配置された前段及び後段の電流記憶部を備え、

前記前段の電流記憶部に、前記電流発生手段から出力される前記電流を取り込み保持し、前記保持した電流を次段に転送する動作と、前記後段の電流記憶部に保持された前記前段の電流記憶部から転送された電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時並行的に実行することを特徴とする請求項 2 1 記載の電流駆動装置の駆動方法。

【請求項 2 4】 前記電流駆動装置の駆動方法において、前記電流発生手段から出力される前記電流を前記複数の電流記憶手段に保持する動作に先立って、前記電流を、単一の入力電流記憶手段に取り込んで保持し、

前記入力電流記憶手段に保持した前記電流を任意のタイミングで前記複数の電流記憶手段に供給することを特徴とする請求項 2 1 乃至 2 3 のいずれかに記載の電流駆動装置の駆動方法。

【請求項 2 5】 各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置の駆動方法において

複数の基準電流発生部を備える唯一の基準電流発生手段により、各々異なる重み付けを有するように電流値が設定された基準電流を生成して供給し、

基準電流記憶手段を構成する複数の基準電流記憶部に、前記基準電流を個別に取り込んで保持し、

所定数のデジタル入力信号に基づいて、前記複数の基準電流記憶部のうち、任意の基準電流記憶部を選択し、該選択された前記電流記憶部に保持された前記基準電流を合成して所定の電流値を有する電流を生成し、

前記各出力端子ごとに個別に設けられた複数の電流記憶手段に、前記生成された電流を各々異なるタイミングで順次取り込んで保持し、

前記負荷を駆動する所定のタイミングで、前記各電流記憶手段に保持した前記電流に基づく前記駆動電流を、前記各出力端子に一斉に出力することを特徴とする電流駆動装置の駆動方法。

【請求項 26】 前記基準電流記憶手段は、並列に配置され、夫々前記複数の基準電流記憶部を備える一対の基準電流記憶回路部を備え、

一方の基準電流記憶回路部に前記基準電流発生手段から出力される前記基準電流を取り込み保持する動作と、他方の基準電流記憶回路部に前記保持した基準電流に基づいて、前記所定の電流値を有する電流を生成して、前記複数の電流記憶手段に出力する動作を、同時並行的に実行することを特徴とする請求項 25 記載の電流駆動装置の駆動方法。

【請求項 27】 表示パネルの行方向に配設された走査線及び列方向に配設された信号線の交点近傍に配置された複数の表示画素に対して、表示信号に応じた所定の電流値を有する駆動電流を供給することにより、前記表示画素を所定の表示階調となるように駆動して、前記表示パネルに所望の画像情報を表示する表示装置において、

少なくとも、

前記表示素子の表示状態を制御するための所定の電流値を有する電流を生成して出力する唯一の電流発生手段と、前記表示素子の各々に接続される出力端子ごとに設けられた複数の電流記憶手段と、を備えた電流駆動装置を有する信号駆動

回路と、

前記走査線の各々に、所定のタイミングで任意の前記走査線に接続された前記表示画素を選択して、該表示画素へ前記信号駆動回路から前記信号線を介して出力される前記駆動電流を供給して、前記表示素子を駆動するための走査信号を印加する走査駆動回路と、

を備え、

前記信号駆動回路は、少なくとも、所定数の前記電流記憶手段及び前記出力端子を備えた複数の半導体チップにより構成され、

前記複数の半導体チップは、前記唯一の電流発生手段から出力される前記電流を、各々異なるタイミングで順次前記複数の電流記憶手段に取り込んで保持し、前記表示素子を駆動する所定のタイミングで、前記保持した前記電流に基づく前記駆動電流を、前記出力端子を介して一斉に前記信号線の各々に供給することを特徴とする表示装置。

【請求項 28】 前記信号駆動回路は、前記半導体チップの出力端子が次段に位置する前記複数の半導体チップの入力端子に順次接続されるように階層化された構成を有していることを特徴とする請求項 27 記載の表示装置。

【請求項 29】 表示パネルの行方向に配設された走査線及び列方向に配設された信号線の交点近傍に配置された複数の表示画素に対して、表示信号に応じた所定の電流値を有する駆動電流を供給することにより、前記表示画素を所定の表示階調となるように駆動して、前記表示パネルに所望の画像情報を表示する表示装置において、

少なくとも、相互に並列に配置され、かつ、各々異なる重み付けを有するように電流値が設定された基準電流を生成して出力する複数の基準電流発生部からなる唯一の基準電流発生手段と、前記複数の基準電流発生部から出力される前記基準電流を個別に取り込んで保持する複数の基準電流記憶部からなる基準電流記憶手段と、前記複数の表示素子の各々に接続される出力端子ごとに設けられた複数の電流記憶手段と、からなる電流駆動装置を有する信号駆動回路と、

前記走査線の各々に、所定のタイミングで任意の前記走査線に接続された前記表示画素を選択して、該表示画素へ前記信号駆動回路から前記信号線を介して出

力される前記駆動電流を供給して、前記表示素子を駆動するための走査信号を印加する走査駆動回路と、
を備え、

前記信号駆動回路は、少なくとも、所定数の前記電流記憶手段及び前記出力端子を備えた複数の半導体チップにより構成され、

前記複数の半導体チップは、所定数のデジタル入力信号に基づいて、

前記複数の基準電流記憶部に個別に保持された前記基準電流から、前記複数の負荷の各々の駆動状態を制御するための所定の電流値を有する電流を生成して出力し、前記電流記憶手段に出力し、各々異なるタイミングで順次前記複数の電流記憶手段に取り込んで保持し、前記表示素子を駆動する所定のタイミングで、前記複数の半導体チップの全てから、前記複数の電流記憶手段に保持した前記電流に基づく前記駆動電流を、前記出力端子を介して一斉に前記信号線の各々に供給することを特徴とする表示装置。

【請求項 30】 前記信号駆動回路は、前記半導体チップの出力端子が次段に位置する前記複数の半導体チップの入力端子に順次接続されるように階層化された構成を有していることを特徴とする請求項 29 記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流駆動装置及びその駆動方法並びに電流駆動装置を用いた表示装置に関し、特に、複数の負荷を、各負荷ごとに指定した電流値又は同一の電流値に設定された電流により駆動する電流駆動装置及びその駆動方法、並びに、該電流駆動装置の構成を有する表示駆動回路を用いて表示素子を所定の表示階調となるように駆動して、表示パネルに所望の画像情報を表示させる表示装置に関する。

【0002】

【従来の技術】

従来、有機エレクトロルミネッセンス素子（以下、「有機EL素子」と略記する）や、発光ダイオード（LED）等のような自己発光型の発光素子を、複数配

列した表示パネルを備えた発光素子型のディスプレイ（表示装置）が知られている。

【0003】

このようなディスプレイの中には、近年普及が著しい液晶表示装置（LCD）に比較して、表示応答速度が速く、視野角依存性もなく、また、高輝度・高コントラスト化、表示画質の高精細化、低消費電力化等が可能であるとともに、液晶表示装置の場合のように、バックライトを必要としないので一層の薄型軽量化が可能であるという極めて優位な特徴を有しているものもあり、次世代のディスプレイとして盛んに研究開発が行われている。

【0004】

このようなディスプレイの一例は、概略、行方向に配設された走査ラインと列方向に配設されたデータラインの各交点近傍に発光素子を含む表示画素が配列された表示パネルと、表示データに応じた所定の駆動電流を生成して、データラインを介して各表示画素（発光素子）に供給するデータドライバと、所定のタイミングで走査信号を印加して所定の行の表示画素を選択状態にする走査ドライバと、を備え、各表示画素に供給された上記駆動電流により、各発光素子を表示データに応じた所定の輝度階調で発光動作させることにより、所望の画像情報が表示パネルに表示される。なお、発光素子型のディスプレイの具体例については、後述する発明の実施の形態において、詳しく説明する。

【0005】

ここで、上記ディスプレイにおける表示駆動動作においては、複数の表示画素（発光素子）に対して、表示データに応じた個別の電流値を有する駆動電流を生成し、特定の行の表示画素に同時に供給して各発光素子を所定の輝度階調で発光させる動作を、1画面分の各行について順次繰り返す電流指定型の駆動方式や、複数の表示画素（発光素子）に対して、表示データに応じた個別の時間幅（信号幅）を有する一定の電流値の駆動電流を、同一の表示期間内に特定の行の表示画素に供給して各発光素子を所定の輝度階調で発光させる動作を、1画面分順次繰り返すパルス幅変調（PWM）型の駆動方式等が知られている。

【0006】

これらの表示駆動動作においては、各行ごとの複数の表示画素に、表示データに応じた所定の電流値又は一定の電流値を有する駆動電流を一斉に（同時又は同一の表示期間内に）供給する必要がある、また、近年の薄型表示デバイスの高画質化（高精細化）や大画面化に伴う表示パネルの接続端子数の増加に対応するために、上記データドライバとして、データラインに対応した所定数の出力端子を備えたドライバチップ（半導体チップ）を複数備え、各ドライバチップにおいて上記駆動電流を個別に生成して、データラインを介して各発光素子に一斉に供給する回路構成を適用したのも知られている。

【0007】

【発明が解決しようとする課題】

しかしながら、上述したような複数のドライバチップを備えたデータドライバを適用したディスプレイにおいては、以下に示すような問題を有していた。

すなわち、従来の複数のドライバチップからなるデータドライバにおいては、ドライバチップごとに駆動電流を個別に生成するための回路を備え、各ドライバチップから各出力端子を介して一斉に各発光素子に駆動電流を供給する構成を有していたため、複数のドライバチップから出力される駆動電流の電流値にバラツキが生じると、各表示画素における発光状態（発光素子の輝度階調）にバラツキを生じ、表示むらが生じるという問題を有している。そこで、各ドライバチップ間及び各出力端子間において、駆動電流のバラツキを極力抑制する必要がある。

【0008】

ここで、半導体製造技術の分野においては、同一の半導体チップに形成されるトランジスタ素子や抵抗素子、容量素子等の機能要素の素子特性に、必ずバラツキが生じることが知られている。そして、このような素子特性のバラツキは、製造プロセスの最適化等により、ある程度抑制することができるものの、完全になくす（ゼロにする）ことは不可能であるとされており、これが、アナログ集積回路（IC）の作成を困難にしている主な原因となっている。

【0009】

また、トランジスタ素子に適用される設計上の最小寸法の微細化に伴って、チャンネル内の不純物原子の存在（数）が相対的に顕在化することになり、その数の

バラツキによりしきい値や移動度等にバラツキが生じることも報告されている。

したがって、上述したようなドライバチップの出力端子間における駆動電流のバラツキ（半導体チップの出力特性のバラツキ）を、製造プロセスの最適化の手法のみにより格段に改善することは、極めて困難であるという問題を有している。

【0010】

さらに、1個の半導体チップに設置可能な出力端子数には、配線長の増加による信号遅延増加や1チップ内の素子数の増加による製造上の歩留まり低下の問題により、限界があるため、上述したように、必然的に複数のドライバチップによりデータドライバを構成する必要が生じるが、半導体チップが異なると、上記駆動電流のバラツキは一層大きくなり、同一のドライバチップ内における駆動電流のバラツキを抑制しつつ、ドライバチップ間でのバラツキをも抑制することは非常な困難を伴うという問題を有している。

【0011】

なお、ドライバチップにおける駆動電流のバラツキを補正する技術としては、各ドライバチップの出力端子ごとに電流設定抵抗を付設し、該電流設定抵抗の抵抗値を個別に調整する手法が知られているが、同一のドライバチップに設けられる出力端子数が多くなった場合には、各電流設定抵抗の調整が繁雑になり、調整に多大の時間、コストがかかる上、回路構成上の抵抗設置面積も増大するため、各出力端子間の駆動電流のバラツキを抑制する手法としては適さないという問題を有している。

【0012】

したがって、同一のドライバチップの出力端子間における駆動電流のバラツキを抑制しつつ、ドライバチップ間でのバラツキをも抑制するためには、各出力端子間及び各ドライバチップ間に、複雑かつ大規模な回路構成を付加しなければならず、ドライバチップを備えるデータドライバ、さらには、ディスプレイの装置規模までも大型化するとともに、製品コストの上昇を招くという問題を有している。

【0013】

加えて、上述したように、近年のディスプレイにおいては、表示画質の高精細化に伴って、階調表示の一層の鮮明化が求められているが、現在開発されている発光素子型のディスプレイにおいては、表示データとなるデジタル入力信号から、デジタル－アナログ変換によりアナログ信号成分を有する駆動電流を生成する際に、十分な階調表示を実現することができる程度のアナログ出力信号を生成する技術の確立にまで未だ至っていないという問題も有している。

【0014】

そこで、本発明は、上述した種々の問題点に鑑み、複数の負荷を、各負荷ごとに指定した電流値又は同一の電流値に設定された電流により駆動する装置構成において、比較的簡易な回路構成により、同一のドライバチップの出力端子間における電流のバラツキを抑制し、且つ、ドライバチップ間でのバラツキをも抑制することができる電流駆動装置及びその駆動方法を提供し、該電流駆動装置をデータドライバに適用することにより表示ムラの抑制された良好な表示特性を有する表示装置を提供することを第1の目的とする。

また、所定のデジタル信号から良好な多階調表示に対応したアナログ信号に変換することができるデジタル－アナログ変換機能を備えた電流駆動装置及びその駆動方法を提供し、表示画質の一層の鮮明化を図ることができる表示装置を提供することを第2の目的とする。

【0015】

【課題を解決するための手段】

請求項1記載の電流駆動装置は、各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置において、前記負荷の駆動状態を制御するための所定の電流値を有する電流を生成して出力する唯一の電流発生手段と、前記各出力端子ごとに設けられ、前記電流発生手段から出力される前記電流を、各々異なるタイミングで順次取り込んで保持し、前記負荷を駆動する所定のタイミングで、前記保持した前記電流に基づく前記駆動電流を、前記出力端子を介して一斉に出力する複数の電流記憶手段と、を備えたことを特徴としている。

【0016】

請求項2記載の電流駆動装置は、請求項1記載の電流駆動装置において、前記電流発生手段から出力される前記電流は、入力信号に基づく電流値を有するように設定されていることを特徴としている。

請求項3記載の電流駆動装置は、請求項1又は2記載の電流駆動装置において、前記各電流記憶手段は、並列に配置された一対の電流記憶部を備え、一方の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、他方の電流記憶部に保持した電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時に並行して実行するように制御されることを特徴としている。

【0017】

請求項4記載の電流駆動装置は、請求項1又は2記載の電流駆動装置において、前記各電流記憶手段は、直列に配置された前段及び後段の電流記憶部を備え、前記前段の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持し、前記保持した電流を次段に転送する動作と、前記後段の電流記憶部に保持された前記前段の電流記憶部から転送された前記電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時に並行して実行するように制御されることを特徴とする請求項1又は2記載の電流駆動装置。

【0018】

請求項5記載の電流駆動装置は、請求項1乃至4いずれかに記載の電流駆動装置において、前記電流発生手段は、前記複数の負荷の各々の駆動状態を制御するための所定数のデジタル入力信号に基づいて、第1の電流値を有する制御電流を生成する制御電流生成部と、前記制御電流に対して所定の電流比率となる第2の電流値を有する出力電流を生成して、前記電流記憶手段に出力する出力電流生成部と、を備え、前記第1の電流値は、前記第2の電流値よりも大きく設定されていることを特徴としている。

【0019】

請求項6記載の電流駆動装置は、請求項1記載の電流駆動装置において、前記駆動電流は、各出力端子に対して所定の同一の電流値を有するように設定されて

いることを特徴としている。

請求項 7 記載の電流駆動装置は、請求項 6 記載の電流駆動装置において、前記電流駆動装置は、前記複数の電流記憶手段の前段に単一の入力電流記憶手段を備え、前記入力電流記憶手段は、前記電流発生手段から出力される前記電流を前記入力電流記憶手段に取り込んで保持し、前記入力電流記憶手段に保持した電流を任意のタイミングで前記複数の電流記憶手段に供給することを特徴としている。

【0020】

請求項 8 記載の電流駆動装置は、請求項 7 記載の電流駆動装置において、前記入力電流記憶手段は、並列に配置された一対の入力電流記憶部を備え、一方の入力電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、他方の入力電流記憶部に保持した電流を前記複数の電流記憶手段に供給する動作を、同時に並行して実行するように制御されることを特徴としている。

請求項 9 記載の電流駆動装置は、請求項 7 記載の電流駆動装置において、前記電流駆動装置は、更に、前記複数の出力端子に接続され、前記出力端子から前記負荷に供給される前記駆動電流のパルス幅を設定するパルス幅設定手段を備え、前記パルス幅設定手段は、入力信号に応じて前記出力端子毎に前記パルス幅を設定することを特徴としている。

請求項 10 記載の電流駆動装置は、請求項 1 乃至 9 のいずれかに記載の電流駆動装置において、少なくとも、前記複数の電流記憶手段及び前記出力端子は、少なくとも一つの半導体チップに形成されていることを特徴としている。

【0021】

請求項 11 記載の電流駆動装置は、請求項 10 記載の電流駆動装置において、前記電流発生手段は、前記半導体チップとは別個の半導体チップに形成されていることを特徴としている。

請求項 12 記載の電流駆動装置は、請求項 10 記載の電流駆動装置において、前記電流発生手段は、前記半導体チップに形成されていることを特徴としている。

請求項 13 記載の電流駆動装置は、請求項 10 記載の電流駆動装置において、前記半導体チップにおいて、少なくとも前記電流記憶手段は、前記電流をソース

ードレイン間に流下し、該電流に基づくソースゲート間電圧をソースゲート間の寄生容量に保持する電界効果型トランジスタを有して構成され、前記電界効果型トランジスタの移動度は、少なくとも $200\text{ cm}^2/\text{Vs}$ の値を有することを特徴としている。

【0022】

請求項14記載の電流駆動装置は、各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置において、相互に並列に配置され、かつ、各々異なる重み付けを有するように電流値が設定された基準電流を生成して出力する複数の基準電流発生部を備える唯一の基準電流発生手段と、前記基準電流発生手段における前記複数の基準電流発生部から出力される前記基準電流を個別に取り込んで保持する複数の基準電流記憶部を備える基準電流記憶手段と、前記複数の基準電流記憶部のうち、任意の前記基準電流記憶部を選択して所定の電流値を有する電流を生成する電流生成手段と、前記電流生成手段により生成される前記電流を各々異なるタイミングで順次取り込んで保持し、前記負荷を駆動する所定のタイミングで前記保持した前記電流に基づく前記駆動電流を、前記各出力端子に一斉に出力する複数の電流記憶手段と、を具備することを特徴としている。

【0023】

請求項15記載の電流駆動装置は、請求項14記載の電流駆動装置において、前記電流生成手段は、所定数のデジタル入力信号に基づいて、前記基準電流記憶手段における前記複数の基準電流記憶部のうち、任意の基準電流記憶部を選択し、該選択された前記基準電流記憶部に保持された前記基準電流を合成して前記電流を生成することを特徴としている。

請求項16記載の電流駆動装置は、請求項14又は15記載の電流駆動装置において、前記基準電流記憶手段は、並列に配置され、夫々前記複数の基準電流記憶部を備える一対の基準電流記憶回路部を備え、一方の基準電流記憶回路部に前記複数の基準電流発生部から出力される前記基準電流を取り込み保持する動作と、他方の基準電流記憶回路部に保持した基準電流に基づいて、前記電流生成手段

により前記電流を生成する動作を、同時に並行して実行するように制御されることを特徴としている。

【0024】

請求項17記載の電流駆動装置は、請求項14乃至16のいずれかに記載の電流駆動装置において、少なくとも、前記複数の基準電流記憶手段、前記電流生成手段、前記複数の電流記憶手段及び前記出力端子は、少なくとも一つの半導体チップに形成されていることを特徴としている。

請求項18記載の電流駆動装置は、請求項17記載の電流駆動装置において、前記電流発生手段は、前記半導体チップとは別個の半導体チップに形成されていることを特徴としている。

【0025】

請求項19記載の電流駆動装置は、請求項17記載の電流駆動装置において、前記電流発生手段は、前記半導体チップに形成されていることを特徴としている。

請求項20記載の電流駆動装置は、請求項17記載の電流駆動装置において、前記半導体チップにおいて、少なくとも前記電流記憶手段は、前記電流をソースドレイン間に流下し、該電流に基づくソースゲート間電圧をソースゲート間の寄生容量に保持する電界効果型トランジスタを有して構成され、前記電界効果型トランジスタの移動度は、少なくとも $200 \text{ cm}^2/\text{Vs}$ の値を有することを特徴としている。

【0026】

請求項21記載の電流駆動装置の駆動方法は、各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置の駆動方法において、唯一の電流発生手段により、前記負荷の駆動状態を制御するための所定の電流値を有する電流を生成して供給し、前記各出力端子ごとに個別に設けられた複数の電流記憶手段に、前記電流を各々異なるタイミングで順次取り込んで保持し、前記負荷を駆動する所定のタイミングで、前記各電流記憶手段に保持した前記電流に基づく前記駆動電流を、前記各出力端子に一斉に

出力することを特徴としている。

【0027】

請求項 22 記載の電流駆動装置の駆動方法は、請求項 21 記載の電流駆動装置の駆動方法において、前記電流記憶手段は、並列に配置された一対の電流記憶部を備え、一方の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、他方の電流記憶部に保持した電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時並行的に実行することを特徴としている。

請求項 23 記載の電流駆動装置の駆動方法は、請求項 21 記載の電流駆動装置の駆動方法において、前記電流記憶手段は、直列に配置された前段及び後段の電流記憶部を備え、前記前段の電流記憶部に、前記電流発生手段から出力される前記電流を取り込み保持し、前記保持した電流を次段に転送する動作と、前記後段の電流記憶部に保持された前記前段の電流記憶部から転送された電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時並行的に実行することを特徴としている。

【0028】

請求項 24 記載の電流駆動装置の駆動方法は、請求項 21 乃至 23 のいずれかに記載の電流駆動装置の駆動方法において、前記電流駆動装置の駆動方法において、前記電流発生手段から出力される前記電流を前記複数の電流記憶手段に保持する動作に先立って、前記電流を、単一の入力電流記憶手段に取り込んで保持し、前記入力電流記憶手段に保持した前記電流を任意のタイミングで前記複数の電流記憶手段に供給することを特徴としている。

【0029】

請求項 25 記載の電流駆動装置の駆動方法は、各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置の駆動方法において、複数の基準電流発生部を備える唯一の基準電流発生手段により、各々異なる重み付けを有するように電流値が設定された基準電流を生成して供給し、基準電流記憶手段を構成する複数の基準電流記憶部に、前記基準電流を個別に取り込んで保持し、所定数のデジタル入力信号に基づいて、前記

複数の基準電流記憶部のうち、任意の基準電流記憶部を選択し、該選択された前記電流記憶部に保持された前記基準電流を合成して所定の電流値を有する電流を生成し、前記各出力端子ごとに個別に設けられた複数の電流記憶手段に、前記生成された電流を各々異なるタイミングで順次取り込んで保持し、前記負荷を駆動する所定のタイミングで、前記各電流記憶手段に保持した前記電流に基づく前記駆動電流を、前記各出力端子に一斉に出力することを特徴としている。

【0030】

請求項 26 記載の電流駆動装置の駆動方法は、請求項 25 記載の電流駆動装置の駆動方法において、前記基準電流記憶手段は、並列に配置され、夫々前記複数の基準電流記憶部を備える一対の基準電流記憶回路部を備え、一方の基準電流記憶回路部に前記基準電流発生手段から出力される前記基準電流を取り込み保持する動作と、他方の基準電流記憶回路部に前記保持した基準電流に基づいて、前記所定の電流値を有する電流を生成して、前記複数の電流記憶手段に出力する動作を、同時並行的に実行することを特徴としている。

【0031】

請求項 27 記載の表示装置は、表示パネルの行方向に配設された走査線及び列方向に配設された信号線の交点近傍に配置された複数の表示画素に対して、表示信号に応じた所定の電流値を有する駆動電流を供給することにより、前記表示画素を所定の表示階調となるように駆動して、前記表示パネルに所望の画像情報を表示する表示装置において、少なくとも、前記表示素子の表示状態を制御するための所定の電流値を有する電流を生成して出力する唯一の電流発生手段と、前記表示素子の各々に接続される出力端子ごとに設けられた複数の電流記憶手段と、を備えた電流駆動装置を有する信号駆動回路と、前記走査線の各々に、所定のタイミングで任意の前記走査線に接続された前記表示画素を選択して、該表示画素へ前記信号駆動回路から前記信号線を介して出力される前記駆動電流を供給して、前記表示素子を駆動するための走査信号を印加する走査駆動回路と、を備え、前記信号駆動回路は、少なくとも、所定数の前記電流記憶手段及び前記出力端子を備えた複数の半導体チップにより構成され、前記複数の半導体チップは、前記唯一の電流発生手段から出力される前記電流を、各々異なるタイミングで順次前

記複数の電流記憶手段に取り込んで保持し、前記表示素子を駆動する所定のタイミングで、前記保持した前記電流に基づく前記駆動電流を、前記出力端子を介して一斉に前記信号線の各々に供給することを特徴としている。

請求項 28 記載の表示装置は、請求項 27 記載の表示装置において、前記信号駆動回路は、前記半導体チップの出力端子が次段に位置する前記複数の半導体チップの入力端子に順次接続されるように階層化された構成を有していることを特徴としている。

【0032】

請求項 29 記載の表示装置は、表示パネルの行方向に配設された走査線及び列方向に配設された信号線の交点近傍に配置された複数の表示画素に対して、表示信号に応じた所定の電流値を有する駆動電流を供給することにより、前記表示画素を所定の表示階調となるように駆動して、前記表示パネルに所望の画像情報を表示する表示装置において、少なくとも、相互に並列に配置され、かつ、各々異なる重み付けを有するように電流値が設定された基準電流を生成して出力する複数の基準電流発生部からなる唯一の基準電流発生手段と、前記複数の基準電流発生部から出力される前記基準電流を個別に取り込んで保持する複数の基準電流記憶部からなる基準電流記憶手段と、前記複数の表示素子の各々に接続される出力端子ごとに設けられた複数の電流記憶手段と、からなる電流駆動装置を有する信号駆動回路と、前記走査線の各々に、所定のタイミングで任意の前記走査線に接続された前記表示画素を選択して、該表示画素へ前記信号駆動回路から前記信号線を介して出力される前記駆動電流を供給して、前記表示素子を駆動するための走査信号を印加する走査駆動回路と、を備え、前記信号駆動回路は、少なくとも、所定数の前記電流記憶手段及び前記出力端子を備えた複数の半導体チップにより構成され、前記複数の半導体チップは、所定数のデジタル入力信号に基づいて、前記複数の基準電流記憶部に個別に保持された前記基準電流から、前記複数の負荷の各々の駆動状態を制御するための所定の電流値を有する電流を生成して出力し、前記電流記憶手段に出力し、各々異なるタイミングで順次前記複数の電流記憶手段に取り込んで保持し、前記表示素子を駆動する所定のタイミングで、前記複数の半導体チップの全てから、前記複数の電流記憶手段に保持した前記電流

に基づく前記駆動電流を、前記出力端子を介して一斉に前記信号線の各々に供給することを特徴としている。

請求項 30 記載の表示装置は、請求項 29 記載の表示装置において、前記信号駆動回路は、前記半導体チップの出力端子が次段に位置する前記複数の半導体チップの入力端子に順次接続されるように階層化された構成を有していることを特徴としている。

【0033】

すなわち、第 1 の発明に係る電流駆動装置及びその駆動方法は、複数配列された表示素子等の負荷の各々に対して、指定した所定の電流値又は同一の電流値を有する駆動電流を供給することにより、各負荷を所定の輝度階調等の駆動状態で動作させる電流駆動装置において、唯一の電流発生手段（電流発生回路）により、上記負荷の駆動状態を制御するための所定の電流値を有する電流を生成して、負荷の各々に接続される出力端子ごとに個別に設けられた複数の電流記憶手段（電流記憶回路）に、順次取り込んで保持し、負荷を駆動する所定のタイミングで保持された電流を駆動電流として、もしくは、保持された電流に基づいて生成される駆動電流を、出力端子を介して複数の負荷に一斉に供給するように構成されている。

【0034】

これにより、唯一の電流発生手段により生成、出力された電流が、例えば、複数の半導体チップに個別に形成された複数の電流記憶手段に共通に供給されて、所定のタイミングで取り込まれるので、各半導体チップの電流記憶手段には、単一の電流源（電流発生手段）から供給される均一な電流特性を有する電流が保持される。したがって、比較的簡易な装置構成により、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキ（出力特性のバラツキ）を小さく抑制することができる。

【0035】

ここで、上記各電流記憶手段は、並列に配置された一対の電流記憶部を備え、一方の電流記憶部に電流発生手段から出力される電流を取り込み保持する動作と、他方の電流記憶部に保持された電流を各出力端子に出力する動作を、同時並行

的に実行するように制御するものであってもよいし、各電流記憶手段として、直列に配置された前段及び後段の電流記憶部を備え、前段の電流記憶部に電流を取り込み保持する動作と、後段の電流記憶部に転送された電流を各出力端子に出力する動作を、同時並行的に実行するように制御するものであってもよい。

【0036】

このような構成によれば、例えば、二つの電流記憶部のうち、一方の電流記憶部に電流を取り込み、保持する動作期間中に、他方の電流記憶部から各出力端子に対して駆動電流を出力することができるので、各電流記憶部への電流の取り込み、保持動作サイクルと、及び、出力端子への駆動電流の出力動作サイクルをオーバーラップさせて、負荷への駆動電流の供給時間を長くすることができて、駆動状態を細かく制御することができる。

【0037】

また、上記電流駆動装置は、例えば、半導体チップごとに設けられた複数の電流記憶手段の前段に唯一の入力電流記憶手段を備え、該入力記憶手段により、電流発生手段から出力される電流を入力電流記憶手段に取り込んで保持し、任意のタイミングで後段の複数の電流記憶手段に供給するものであってもよい。

このような構成によれば、電流発生手段から出力される電流を、半導体チップごとに設けられた入力記憶手段に取り込み、保持した後、各半導体チップの各電流記憶回路に電流を取り込む動作を同時並行的に行うことができるため、全ての電流記憶回路に電流を取り込むために要する時間を大幅に短縮することができて、負荷への駆動電流の供給時間を長くすることができて、駆動状態を細かく制御することができる。

【0038】

したがって、第1の発明に係る電流駆動装置を表示装置の信号駆動回路（データドライバ）に適用することにより、各ドライバチップ（半導体チップ）間、及び、同一のドライバチップに設けられる出力端子間における駆動電流のバラツキを抑制して、表示ムラの発生を抑制することができるとともに、各表示画素への書き込みサイクルを短縮して、表示画質の向上を図ることができる。

また、表示パネルの高精細化や大型化に伴って、表示パネルの接続端子数が増

加し、ドライバチップ数が増加した場合であっても、単一の電流発生手段により全てのドライバチップの電流記憶手段に対して電流特性が均一な所定の電流値を有する電流を保持させることができるので、各ドライバチップ内の回路構成を簡素化して、装置規模の省スペース化や製品コストの削減を図ることができる。

【0039】

また、第2の発明に係る電流駆動装置及びその駆動方法は、複数配列された表示素子等の負荷の各々に対して、指定した所定の電流値を有する駆動電流を供給することにより、各負荷を所定の輝度階調等の駆動状態で動作させる電流駆動装置において、複数の基準電流発生部からなる唯一の基準電流発生手段により、各々異なる重み付けを有するように電流値が設定された基準電流を生成して、各基準電流に対応して設けられた複数の基準電流記憶部を備える基準電流記憶手段に、個別に取り込んで保持し、電流生成手段により所定数のデジタル入力信号に基づいて任意の基準電流記憶部を選択することにより、保持された基準電流を合成して所定の電流を生成し、該電流を順次取り込んで保持し、負荷を駆動する所定のタイミングで保持された電流を駆動電流として、もしくは、保持された電流に基づいて生成される駆動電流を、出力端子を介して複数の負荷に一斉に供給するように構成されている。

【0040】

これにより、唯一の電流発生手段により生成、出力された基準電流が、例えば、複数の半導体チップに個別に形成された基準電流記憶手段に共通に供給、保持され、任意の基準電流記憶部を選択して基準電流を合成することにより、デジタル入力信号に対応したアナログ信号からなる駆動電流が生成されて、複数の負荷に同時に供給される。したがって、比較的簡易な装置構成により、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキを抑制することができるとともに、各負荷を入力信号に良好に対応した駆動状態で動作させることができる。

【0041】

したがって、第2の発明に係る電流駆動装置を表示装置の信号駆動回路（データドライバ）に適用することにより、各ドライバチップ（半導体チップ）間、及

び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキを抑制して、表示ムラの発生を抑制することができるとともに、所定のデジタル入力信号（表示データ）から良好な多階調表示に対応したアナログ信号（駆動電流）を生成することができるので、階調表示を一層鮮明化することができる表示装置を実現することができる。

【0042】

また、表示パネルの高精細化や大型化に伴って、表示パネルの接続端子数が増加し、ドライバチップ数が増加した場合であっても、単一の基準電流発生手段により全てのドライバチップの基準電流記憶手段に対して所定の重み付けを有する電流値が設定された均一な基準電流を保持させることができるので、各ドライバチップ内の回路構成を簡素化して、装置規模の省スペース化や製品コストの削減を図ることができる。

【0043】

【発明の実施の形態】

以下、本発明に係る電流駆動装置及びその駆動方法並びに該電流駆動装置を適用した表示装置について、実施の形態を示して詳しく説明する。

まず、本発明に係る電流駆動装置及びその駆動方法について、図面を参照して説明する。

<電流駆動装置の第1の実施形態>

図1は、本発明に係る電流駆動装置の第1の実施形態を示す概略構成図である。

第1の実施形態に係る電流駆動装置は、単一の電流発生回路から供給される所定の電流値を有する電流を各出力端子（すなわち、負荷）ごとに設けられた電流記憶回路に順次保持した後、一括して各出力端子を介して負荷に出力する構成を有している。

【0044】

本実施形態に係る電流駆動装置は、具体的には、図1に示すように、複数の出力端子 T_{out} に接続される各負荷LDの駆動状態を制御するための所定の電流値を有する電流 I_c を生成して出力する単一の電流発生回路（電流発生手段）10

Aと、該電流発生回路10Aから供給される電流 I_c を、後述する電流記憶回路30Aの各々へ供給する際のタイミングを設定するシフトレジスタ20Aと、出力端子 T_{out} ごとに設けられ、電流発生回路10Aから供給される電流 I_c を、シフトレジスタ20Aに基づく所定のタイミングで順次取り込んで保持（記憶）する複数の電流記憶回路30Aと、シフトレジスタ20Aから所定のタイミングで出力されるスイッチ切換信号（シフト出力）SRにより設定されるタイミングに基づいて、電流発生回路10Aから各電流記憶回路30Aへの電流 I_c の供給状態を制御する複数のスイッチ手段40Aと、を備えて構成されている。

【0045】

以下、上記各構成について、具体的に説明する。

（電流発生回路）

図2は、本実施形態に適用可能な電流発生回路の一具体例を示す回路構成図である。

電流発生回路10Aは、概略、複数の負荷の各々を所定の駆動状態で駆動させるために必要な電流値を有する個別の電流 I_c を生成して、上記複数の負荷の各々に対応して設けられた個別の電流記憶回路30Aに出力するように構成されている。ここで、電流発生回路10Aとしては、例えば、図2に示すように、前段の制御電流生成部11と、後段のカレントミラー回路部12からなる回路構成を適用することができる。

【0046】

なお、電流発生回路10Aにより生成される電流 I_c は、各負荷の駆動状態に応じた、各々異なる電流値を有するものであってもよいし、全ての負荷に対して同一の電流値を有するものであってもよい。詳しくは後述する。

また、本実施形態で示す電流発生回路は、本発明に係る電流駆動装置に適用可能な一例を示すものにすぎず、この回路構成に限定されるものではない。また、本実施形態においては、電流発生回路として、制御電流生成部とカレントミラー回路部を備えた構成を示すが、これに限定されるものではなく、例えば、制御電流生成部のみからなる回路構成を有しているものであってもよい。

【0047】

制御電流生成部 11 は、例えば、図 2 に示すように、一端側が高電位電源 V_{dd} に接続された抵抗 R_{11} と、該抵抗 R_{11} の他端側にエミッタが接続され、後段のカレントミラー回路部 12（又は、制御電流生成部 11 の出力接点 N_{11} ）にコレクタが接続された pnp 型バイポーラトランジスタ（以下、「 pnp トランジスタ」と略記する） Q_{11} と、該 pnp トランジスタ Q_{11} のベースにソースが接続され、セット信号 SET が入力されるセット端子 T_{set} にドレインが接続され、デジタル入力信号 IN_1 が入力される入力端子 T_{in} にゲートが接続された P チャネル電界効果型トランジスタ（以下、「 $PMOS$ トランジスタ」と略記する） M_{11} と、を備えた回路構成を単位回路 CT_1 として、該単位回路 CT_1 がデジタル入力信号のビット数分（本実施形態においては、6 ビットのデジタル入力信号 $IN_1 \sim IN_6$ に対応する単位回路 $CT_1 \sim CT_6$ を有する場合について示す）並列に接続される。すなわち、各単位回路 $CT_1 \sim CT_6$ の pnp トランジスタ $Q_{11} \sim Q_{16}$ のエミッタが出力接点 N_{11} に共通に接続され、また、各 pnp トランジスタ $Q_{11} \sim Q_{16}$ のベースにソースが接続され、セット端子 T_{set} にドレインが接続され、デジタル入力信号 $IN_1 \sim IN_6$ が入力される入力端子 T_{in} にゲートが接続された $PMOS$ トランジスタ $M_{11} \sim M_{16}$ を有している。

【0048】

ここで、入力信号 $IN_1 \sim IN_6$ は、負荷の駆動状態を制御するための複数ビットからなるデジタル信号（電圧成分）であり、また、セット信号 SET は、図示を省略した制御部から、上記負荷の駆動サイクル等に応じたタイミングで供給される信号電圧である。このような制御電流生成部 11 において、セット信号 SET を所定の電圧レベルに設定するとともに、各ビットの入力信号 $IN_1 \sim IN_6$ をハイレベル又はローレベルに設定することにより、入力信号 $IN_1 \sim IN_6$ に応じた電流値（第 1 の電流値）を有する制御電流を生成して、出力接点 N_{11} を介して後段のカレントミラー回路部 12 に出力する。

【0049】

また、カレントミラー回路部（出力電流生成部）12 は、例えば、図 2 に示すように、上記制御電流生成部 11 の出力接点 N_{11} にコレクタ及びベースが接続

された npn 型バイポーラトランジスタ（以下、「npn トランジスタ」と略記する）Q21 と、該 npn トランジスタ Q21 のエミッタ及び低電位電源 Vss 間に接続された抵抗 R21 と、所定の電流成分を有する出力電流（電流 Ic）が出力される出力端子 Tcs にコレクタが接続され、上記制御電流生成部 11 の出力接点 N11 にベースが接続された npn トランジスタ Q22 と、該 npn トランジスタ Q22 のエミッタ及び低電位電源 Vss 間に接続された抵抗 R22 と、を備えた構成を有している。

【0050】

ここで、出力電流（電流 Ic）は、上記制御電流生成部 11 により生成され、出力接点 N11 を介して入力された制御電流の電流値（第 1 の電流値）に対して、カレントミラー回路構成により規定される所定の電流比率に応じた電流値（第 2 の電流値）を有している。本実施形態においては、電流記憶回路 30A に対して負極性の出力電流を供給することにより（すなわち、電流 Ic の電流流下方向を出力端子 Tcs 側から低電位電源 Vss 方向に設定することにより）、電流成分が電流記憶回路 30A 側から電流発生回路 10A 方向に引き込まれるように流下する。

【0051】

また、本実施形態に示した電流発生回路 10A においては、制御電流生成部 11 により生成される制御電流の電流値（第 1 の電流値）を、カレントミラー回路部 12 により生成される出力電流の電流値（第 2 の電流値）よりも大きく設定し、カレントミラー回路部 12 により制御電流の電流値を所定の比率で低減して出力電流の電流値を規定するようにすることにより（すなわち、制御信号生成部 11 内部で取り扱う電流値を、電流 Ic の電流値よりも大きく設定することにより）、電流発生回路 10A（制御信号生成部 11）における入力信号 IN1～IN6 から電流 Ic への変換、生成に係る処理速度を向上させることができる。

【0052】

さらに、図 2 に示した回路構成において、カレントミラー回路部 12 を構成する npn トランジスタ Q21、Q22 のエミッタに接続され、カレントミラー回路構成における電流比率を規定する抵抗 R21、R22 に替えて（抵抗 R21、

R22をなくして)、npnトランジスタQ21、Q22の面積比のみで上記電流比率を規定する回路構成を適用することにより、抵抗R21、R22に起因する回路内部における電流成分のバラツキの発生を抑制して出力電流（電流Ic）への影響を大幅に抑制することができる。

【0053】

（シフトレジスタ／スイッチ手段）

シフトレジスタ20Aは、図示を省略した制御部から供給される制御信号（シフトスタート信号及びシフトクロック信号等）に基づいて、順次一方向にシフトしつつ生成されたシフト出力を、各負荷に対応して設けられたスイッチ手段40Aの各々にスイッチ切換信号（スイッチオン信号）SRとして順次印加する。各スイッチ手段40Aは、該シフトレジスタ20Aから順次出力されるスイッチ切換信号SRに基づいて、各々異なるタイミングでオン動作し、上記電流発生回路10Aからの電流Ic（出力電流）を、各負荷ごとに設けられた電流記憶回路30Aに供給する書込状態に設定して、電流Icが各電流記憶回路30Aに取り込まれ、保持されるように制御する。ここで、スイッチ手段40Aとしては、例えば、電界効果型トランジスタを適用することができ、この場合、後述する電流記憶回路30Aに適用される回路素子と同一の製造プロセスを用いて、同一の基板上に形成することができる。詳しくは、図3において説明する。

【0054】

（電流記憶回路）

図3は、本実施形態に適用可能な電流記憶回路及びスイッチ手段からなる構成の一具体例を示す回路構成図であり、図4は、本実施形態に適用可能な電流記憶回路における基本動作を示す概念図である。

電流記憶回路30Aは、概略、電流発生回路10Aから出力される電流Icを、上記シフトレジスタ20Aに基づく所定のタイミングで順次取り込み保持し、該保持された電流成分、もしくは、該電流成分に基づく負荷駆動電流（駆動電流）を、出力端子Toutを介して各負荷に一斉に（単一のタイミングで）出力するように構成されている。ここで、電流記憶回路30Aとしては、例えば、図3に示すように、前段の電流成分保持部31（スイッチ手段40Aを含む）と、後段

のカレントミラー回路部 32 からなる回路構成を適用することができる。

【0055】

なお、本実施形態で示す電流記憶回路は、本発明に係る電流駆動装置に適用可能な一例を示すものにすぎず、この回路構成に限定されるものではない。また、本実施形態においては、電流記憶回路として、電流成分保持部とカレントミラー回路部を備えた構成を示すが、これに限定されるものではなく、例えば、電流成分保持部のみからなる回路構成を有しているものであってもよい。

【0056】

電流成分保持部 31 は、例えば、図 3 に示すように、接点 N31 及び上記電流発生回路 10A の出力端子 Tcs 間にソース及びドレインが接続され、シフトレジスタのシフト出力端子 Tsr にゲートが接続された PMOS トランジスタ M31 と、高電位電源 Vdd 及び接点 N32 間にソース及びドレインが接続され、接点 N31 にゲートが接続された PMOS トランジスタ M32 と、接点 N32 及び電流発生回路 10A の出力端子 Tcs 間にソース及びドレインが接続され、シフトレジスタ 20A のシフト出力端子 Tsr にゲートが接続された PMOS トランジスタ M33 と、高電位電源 Vdd 及び接点 N31 間に接続された蓄積容量 C31 と、接点 N32 及び後段のカレントミラー回路部 32 への出力接点 N33 間にソース及びドレインが接続され、図示を省略した制御部から供給され、後段のカレントミラー回路部 32 への制御電流の出力状態を制御する出力イネーブル信号 EN が入力される出力制御端子 Ten にゲートが接続された PMOS トランジスタ M34 と、を備えた構成を有している。ここで、シフトレジスタ 20A からのスイッチ切換信号（シフト出力）SR に基づいて、オン／オフ動作する PMOS トランジスタ M31、M33 は、上述したスイッチ手段 40A を構成する。また、高電位電源 Vdd 及び接点 N31 間に設けられる蓄積容量 C31 は、PMOS トランジスタ M32 のゲート－ソース間に形成される寄生容量であってもよい。

【0057】

また、カレントミラー回路部 32 は、例えば、図 3 に示すように、各々、上記電流成分保持部 31 の出力接点 N33 にコレクタ及びベースが接続され、接点 N34 にエミッタが接続された npn トランジスタ Q31、Q32 と、接点 N34

及び低電位電源 V_{ss} 間に接続された抵抗 R_{31} と、出力電流（負荷駆動電流 I_{dv} ）が出力される出力端子 T_{out} にコレクタが接続され、上記電流成分保持部 31 の出力接点 N_{33} がベースに接続された $n p n$ トランジスタ Q_{33} と、該 $n p n$ トランジスタ Q_{33} のエミッタ及び低電位電源 V_{ss} 間に接続された抵抗 R_{32} と、を備えた構成を有している。

【0058】

ここで、出力電流（負荷駆動電流 I_{dv} ）は、上記電流成分保持部 31 から出力され、出力接点 N_{33} を介して入力された制御電流の電流値に対して、カレントミラー回路構成により規定される所定の電流比率に応じた電流値を有している。本実施形態においては、出力端子 T_{out} （負荷 $L D$ ）に対して負極性の出力電流を供給することにより（すなわち、負荷駆動電流 I_{dv} の電流流下方向を出力端子 T_{out} 側から低電位電源 V_{ss} 方向に設定することにより）、電流成分が負荷 $L D$ 側から電流記憶回路 30 A 方向に引き込まれるように流下する。

【0059】

また、本実施形態に示した電流記憶回路 30 A においては、電流成分保持部 31 から出力される制御電流の電流値を、カレントミラー回路部 32 により生成される出力電流の電流値よりも大きく設定し、カレントミラー回路部 32 により制御電流の電流値を所定の比率で低減して出力電流の電流値を規定することにより（すなわち、電流成分保持部 31 内部で取り扱う電流値を、負荷駆動電流 I_{dv} の電流値よりも大きく設定することにより）、電流記憶回路 30 A（電流成分保持部 31）における電流 I_c の取り込み保持（記憶）、出力に係る処理速度を向上させることができる。

【0060】

さらに、図 3 に示した回路構成において、カレントミラー回路部 32 を構成する $n p n$ トランジスタ $Q_{31} \sim Q_{33}$ のエミッタに接続され、カレントミラー回路構成における電流比率を規定する抵抗 R_{31} 、 R_{32} に替えて（抵抗 R_{31} 、 R_{32} をなくして）、 $n p n$ トランジスタ $Q_{31} \sim Q_{33}$ の面積比のみで上記電流比率を規定する回路構成を適用することにより、抵抗 R_{31} 、 R_{32} に起因する回路内部における電流成分のバラツキの発生を抑制して出力電流（負荷駆動電

流 I_{dv}) への影響を大幅に抑制することができる。

【0061】

このような構成を有する電流記憶回路（スイッチ手段を含む）における基本動作は、負荷の駆動サイクルに対して、相互に時間的な重なりが生じない所定のタイミングで電流記憶動作及び電流出力動作が実行される。

（電流記憶動作）

電流記憶動作においては、まず、制御部から出力制御端子 T_{en} を介して、ハイレベルの出力イネーブル信号 E_N を印加することにより、出力制御手段としての PMOS トランジスタ M_{34} がオフ動作する。この状態で、電流発生回路 10A から負荷の駆動状態を制御するための入力信号 $I_{N1} \sim I_{N6}$ に応じた、負極性の電流成分を有する電流 I_c を入力端子 T_{cs} （電流発生回路 10A の出力端子 T_{cs} ）を介して供給するとともに、シフトレジスタ 20A からシフト出力端子 T_{sr} を介して、所定のタイミングでローレベルのスイッチ切換信号 S_R を印加することにより、入力制御手段（スイッチ手段 40A）としての PMOS トランジスタ M_{31} 、 M_{33} がオン動作する。

【0062】

これにより、接点 N_{31} （すなわち、PMOS トランジスタ M_{32} のゲート端子及び蓄積容量 C_{31} の一端）に負極性を有する電流 I_c に応じたローレベルの電圧レベルが印加されて、高電位電源 V_{dd} 及び接点 N_{31} 間（PMOS トランジスタ M_{32} のゲートソース間）に電位差が生じることにより、PMOS トランジスタ M_{32} がオン動作し、図 4（a）に示すように、高電位電源から PMOS トランジスタ M_{32} 、 M_{33} を介して入力端子 T_{cs} 方向に、電流 I_c と同等の書込電流 I_w が引き込まれるように流下する。

【0063】

このとき、蓄積容量 C_{31} には、高電位電源 V_{dd} 及び接点 N_{31} 間（PMOS トランジスタ M_{32} のゲートソース間）に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される。ここで、蓄積容量 C_{31} に蓄積された電荷（電圧成分）は、電流記憶動作の終了により、シフトレジスタ 20A からシフト出力端子 T_{sr} を介して、ハイレベルのスイッチ切換信号 S_R が印加され、PMOS

トランジスタM31、M33がオフ動作して、上記書込電流 I_w の引き込みが停止された後においても保持される。

【0064】

(電流出力動作)

次いで、電流記憶動作終了後の負荷の駆動動作においては、制御部から出力制御端子 T_{en} を介して、ローレベルの出力イネーブル信号 E_N を印加することにより、PMOSトランジスタM34がオン動作する。このとき、蓄積容量C31に保持された電圧成分により、PMOSトランジスタM32のゲートソース間に電流記憶動作時と同等の電位差が生じているので、図4(b)に示すように、高電位電源からPMOSトランジスタM32、M34を介して出力接点N33(カレントミラー回路部32)方向に、上記書込電流 I_w (=電流 I_c) と同等の電流値を有する駆動制御電流 I_{ac} が流下する。

【0065】

これにより、カレントミラー回路部32に流下した駆動制御電流 I_{ac} は、カレントミラー回路構成により規定される所定の電流比率に応じた電流値を有する負荷駆動電流 I_{dv} に変換されて、各出力端子 T_{out} を介して負荷LDに供給される。ここで、電流記憶回路30Aから負荷LDへ供給される負荷駆動電流 I_{dv} は、電流出力動作の終了により、制御部から出力制御端子 T_{en} を介して、ハイレベルの出力イネーブル信号 E_N が印加され、PMOSトランジスタM34がオフ動作することにより供給が停止される。

【0066】

(電流駆動装置の駆動方法)

以上のような構成を有する電流駆動装置において、電流書込期間においては、単一の電流発生回路10Aにより各負荷の駆動状態に応じた所定の電流値を有する電流 I_c が順次生成されて出力されるとともに、該電流 I_c の出力タイミングに同期して、シフトレジスタ20Aから順次出力されるスイッチ切換信号SRが各出力端子 T_{out} ごとに設けられたスイッチ手段40Aに順次印加される。これにより、各スイッチ手段40Aが電流 I_c の出力タイミングに同期した、異なるタイミングで順次オン動作して、上記電流発生回路10Aから出力された電流 I

cに対応する書込電流 I_w が各電流記憶回路 30A に順次流下して書き込まれ、電圧成分として保持される（上記電流記憶動作）。

【0067】

次いで、電流出力期間においては、上記電流書込期間におけるシフトレジスタ 20A からのスイッチ切換信号 SR の出力が終了して、全てのスイッチ手段 40A がオフ動作し、全ての電流記憶回路 30A に各負荷の駆動状態に応じた電流 I_c が保持された後、制御部から各電流記憶回路 30A に出力イネーブル信号 EN が同一のタイミングで共通に印加される。これにより、電流記憶回路 30A に保持されていた電圧成分に応じた電流が、負荷駆動電流 I_{dv} として出力端子 T_{out} を介して負荷に一斉に供給される（上記電流出力動作）。

そして、このような電流書込期間及び電流出力期間を、所定の動作周期ごとに繰り返し設定することにより、負荷を所定の駆動サイクルで動作させることができる。

【0068】

したがって、本実施形態に係る電流駆動装置によれば、単一の電流発生回路に対して、複数の出力端子（すなわち、負荷）の各々に対応するように電流記憶回路を個別に設け、上記一連の動作に基づいて、電流発生回路から負荷の駆動制御に係る所定の電流値を有する電流を発生させ、この電流を所定のタイミングで各電流記憶回路に順次記憶した後、各電流記憶回路から各出力端子を介して各負荷に一括して出力することにより、単一の電流源（電流発生回路）から供給される均一な電流特性を有する電流を各出力端子ごとに保持することができるので、各出力端子間におけるバラツキが抑制された負荷駆動電流を供給することができ、各負荷を均一な動作特性で駆動させることができる。

なお、本実施形態に示した電流駆動装置に適用されるバイポーラトランジスタや MOS トランジスタの素子構成については、特に限定するものではなく、素子特性や製造技術、製品コスト等に応じて適宜設計変更されるものであってもよいことはいうまでもない。

【0069】

具体的には、例えば、後述するような表示パネル（図 15 参照）を構成する表

示画素ごとに設けられた発光素子（負荷）に対して、個別の電流記憶回路から均一な電流特性を有し、かつ、各表示データに応じた発光駆動電流（負荷駆動電流）を所定のタイミングで一斉に供給する動作を、各行ごとに順次繰り返すことにより、表示パネル1画面分の表示データを各表示画素に書き込んで所定の輝度階調で発光動作させることができるので、所望の画像情報を表示ムラの発生を抑制しつつ、良好に表示することができる。

【0070】

また、本実施形態の電流記憶回路を構成するバイポーラトランジスタやMOSトランジスタの素子構成については、特に限定するものではなく、素子特性や製造技術、製品コスト等に応じて適宜設計変更されるものであってもよいことはいうまでもないが、特に、電流成分保持部を構成するMOSトランジスタにおいては、必要な動作速度を得るために、望ましくは、以下に示すように、MOSトランジスタの移動度 μ_e が概ね $200\text{ cm}^2/\text{Vs}$ より大きい値を有するトランジスタを良好に適用することができる。

【0071】

すなわち、図5（a）は、前述した図3の電流記憶回路の電流成分保持部31において、蓄積容量C31に所定の電荷が蓄積される際の構成を示す等価回路であり、PMOSトランジスタM31、M33がONで導通状態となり、PMOSトランジスタM34がOFFで開放状態となっている場合に対応する。ここで、トランジスタMはPMOSトランジスタM32に対応し、容量Cは蓄積容量C31に対応するものであって、配線容量、蓄積容量、トランジスタMのゲート容量の総和である。また、説明を簡単にするために、トランジスタMのソースS及び容量Cの一端は接地電位にされているものとする。

【0072】

ここで、図5（a）に示すように、定電流源より電流 I_{in} がトランジスタMのドレインDに供給された場合、ドレイン電圧を $V(t)$ 、トランジスタMのドレイン電流を I_d とした場合、ドレイン電流 I_d は、 $A = (1/2) * C_{in} * \mu_e * (W/L)$ 、 C_{in} はトランジスタMの単位面積当たりのゲート容量、 μ_e はトランジスタMの移動度、 W はトランジスタMのチャネル幅、 L はチャネル長とすると

、次式 (1) となる。

【0073】

【数1】

$$I_d = A \times V(t)^2 \quad \dots (1)$$

【0074】

これにより、次式 (2) の微分方程式が成り立つ。

【0075】

【数2】

$$C \times \frac{dV(t)}{dt} + A \times V(t)^2 = I_{in} \quad \dots (2)$$

【0076】

ここで、容量Cは上記のように配線容量、蓄積容量、トランジスタMのゲート容量の総和である。これを解いて得られるトランジスタMのドレイン電圧V(t)、すなわち容量Cの電圧の時間tに対する変化は、概略、図5(b)に示すようになる。ここで、 τ は時定数であり、容量Cにおけるゲート容量が他の容量より大きい場合、次式(3)で表わされる。そして、時間 $t=3\tau$ で、電圧V(t)は飽和電圧V(s)の99.5%の値に達する。

【0077】

【数3】

$$\tau = \frac{C}{\sqrt{A \times I_{in}}} \quad \dots (3)$$

【0078】

すなわち、時定数 τ は容量 C の値に比例し、移動度 μ_e の $1/2$ 乗に反比例する。

ここで、トランジスタ M としてポリシリコン T F T を用い、容量 C を 6 p F 、 W/L を $100 \text{ } \mu\text{m}/30 \text{ } \mu\text{m}$ 、移動度 μ_e を $70 \text{ m}^2/\text{V s}$ 、ゲート絶縁膜の膜厚を 105 nm 、印加電流 I_{in} を $10 \text{ } \mu\text{A}$ とした場合、時定数 τ は $1.42 \text{ } \mu\text{sec}$ となる。このため、駆動する表示パネルの走査ライン数を 120 本とした場合、走査ライン 1 本当たりの選択期間は約 $139 \text{ } \mu\text{sec}$ となり、この時間内に書き込みできるデータラインの本数は約 32 本となる。

【0079】

これに対し、上記条件の基でトランジスタ M の移動度 μ_e が $245 \text{ m}^2/\text{V s}$ である場合、時定数 τ は約 $0.096 \text{ } \mu\text{sec}$ となり、これにより上記表示パネルの走査ライン 1 本当たりの選択期間内に書き込みできるデータラインの本数は約 482 本となり、走査ライン数が 120 本、データライン数が 160 ($\times \text{RGB}$) 本の $1/4 \text{ V G A}$ パネルを駆動することができる。

あるいは、移動度 μ_e は $70 \text{ m}^2/\text{V s}$ で変わらずとも、容量 C が 0.51 p F である場合、時定数 τ は同じく約 $0.096 \text{ } \mu\text{sec}$ となって、上記と同様に $1/4 \text{ V G A}$ パネルを駆動することができる。

すなわち、少なくとも $1/4 \text{ V G A}$ パネルを駆動するには、トランジスタ M の移動度 μ_e は、概ね $200 \text{ cm}^2/\text{V s}$ より大きい値を有すること、あるいは、容量 C が概ね 0.5 p F より小さい値であることが必要となる。

【0080】

なお、上記のように、時定数 τ は容量 C の値に比例し、トランジスタの移動度 μ_e の $1/2$ 乗に反比例するため、容量 C が更に小さく、あるいは移動度 μ_e が更に大きくなれば、更に時定数 τ を小さくすることができて、より高精細の表示パネルを駆動することができる。

また、上記移動度や容量値を実現するトランジスタの構成としては、特に限定するものではないが、例えば、絶縁基板上に形成した連続結晶粒界を有するポリシリコン MOS トランジスタや、単結晶シリコン基板上に形成した MOS トランジスタであれば上記の条件を満たすことができて、好適に用いることができる。

【0081】

＜電流駆動装置の第2の実施形態＞

図6は、本発明に係る電流駆動装置の第2の実施形態を示す概略構成図である。ここで、上述した第1の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第2の実施形態に係る電流駆動装置は、負荷が接続される出力端子ごとに一对の電流記憶部を備え、一方側の電流記憶部により単一の電流発生回路から供給される所定の電流値を有する電流を順次保持する動作と、他方側の電流記憶部により既に保持した電流を出力端子を介して一括して出力する動作を、同時並行的に実行するように構成されている。

【0082】

本実施形態に係る電流駆動装置は、具体的には、図6に示すように、負荷の駆動状態に応じた所定の電流値を有する電流 I_c を順次生成して出力する単一の電流発生回路 10B と、図示を省略した各負荷に接続される出力端子 T_{out} ごとに並列的に一对で設けられ、電流発生回路 10B から供給される電流 I_c を、個別のタイミングで交互（選択的）に取り込んで保持する電流記憶部 31a、31b からなる複数の電流記憶回路 30B と、電流記憶回路 30B を構成する電流記憶部 31a、31b に対応して2組設けられ、電流発生回路 10B から供給される電流 I_c を電流記憶部 31a、31b の各々へ供給する際のタイミングを設定するシフトレジスタ 20B（シフトレジスタ部 21a、21b）と、電流記憶回路 30B を構成する電流記憶部 31a、31b に対応して2組設けられ、各シフトレジスタ 21a、21b により設定される個別のタイミングに基づいて、電流発生回路 10B から各電流記憶回路 30B への電流 I_c の供給状態を制御する複数の入力側スイッチ手段 40B（スイッチ 41a、41b）と、出力端子 T_{out} ごとに設けられ、所定の出力選択信号 SEL に基づいて、電流記憶部 31a、31b のいずれかを選択して、該電流記憶部 31a、31b に保持された電流の各出力端子 T_{out} への出力状態を制御する複数の出力側スイッチ手段 50B と、を備えて構成されている。なお、本実施形態に適用される電流発生回路 10B、シフトレジスタ 20B（シフトレジスタ部 21a、21b）、電流記憶回路 30B（

電流記憶部 31a、32b) 及び入力側スイッチ手段 40B (スイッチ 41a、41b) は、上述した第 1 の実施形態と同等の構成を有しているので、詳細な説明を省略する。

【0083】

ここで、シフトレジスタ部 21a は、各出力端子 T_{out} ごとに設けられた電流記憶回路 30B のうち、電流記憶部 31a に対応して設けられた各スイッチ 41a に対して、所定のタイミングでシフト出力をスイッチ切換信号 S_{R1} として順次出力する。一方、シフトレジスタ 21b は、各出力端子 T_{out} ごとに設けられた電流記憶回路 30B のうち、電流記憶部 31b に対応して設けられた各スイッチ 41b に対して、上記シフトレジスタ 21a のシフト出力のタイミングとは時間的に重ならない、異なるタイミングでシフト出力をスイッチ切換信号 S_{R2} として順次出力する。

また、出力側スイッチ手段 50B は、図示を省略した制御部から出力される出力選択信号 S_{EL} に基づいて、上記シフトレジスタ 21a、21b からのスイッチ切換信号 S_{R1}、S_{R2} の出力タイミングに同期し、上記入力側スイッチ手段 40B のうち、オン動作していないスイッチ側の電流記憶部 (選択されていない電流記憶部側) を選択するように動作する。

【0084】

このような構成を有する電流駆動装置において、第 1 の動作期間 (電流記憶部 31a 側は電流書込期間 / 電流記憶部 31b 側は電流出力期間) においては、シフトレジスタ 21a からのスイッチ切換信号 S_{R1} が、各電流記憶回路 30B の電流記憶部 31a に対応して設けられた各スイッチ 41a に、順次出力されることにより、各スイッチ 41a が所定期間のみ順次オン動作して、電流発生回路 10B から供給される電流 I_c が各電流記憶部 31a に順次書き込まれる。このとき、シフトレジスタ 21b からはスイッチ切換信号 S_{R2} が出力されず、全てのスイッチ 41b がオフ状態にある。

【0085】

また、このとき、制御部からは、各出力端子 T_{out} に対応して設けられた出力側スイッチ手段 50B を電流記憶部 31b 側に切り換え設定する出力選択信号 S

ELが共通に出力されるとともに、所定のタイミングで、全ての電流記憶部31bに対して、出力イネーブル信号EN2が共通に出力されることにより、各電流記憶部31bに既に保持されている電流が負荷駆動電流I_{dv}として、各出力端子T_{out}を介して同一のタイミングで一斉に各負荷に出力される。

【0086】

次いで、上記第1の動作期間終了後に設定される第2の動作期間（電流記憶部31a側は電流出力期間／電流記憶部31b側は電流書込期間）においては、シフトレジスタ21bからのスイッチ切換信号SR2が、各電流記憶回路30Bの電流記憶部31bに対応して設けられた各スイッチ41bに、順次出力されることにより、各スイッチ41bが所定期間のみ順次オン動作して、電流発生回路10Bから供給される電流I_cが各電流記憶部31bに順次書き込まれる。このとき、シフトレジスタ21aからはスイッチ切換信号SR1が出力されず、全てのスイッチ41aがオフ状態にある。

【0087】

また、このとき、制御部からは、出力側スイッチ手段50Bを電流記憶部31a側に切り換え設定する出力選択信号SELが共通に出力されるとともに、所定のタイミングで、全ての電流記憶部31aに対して、出力イネーブル信号EN1が共通に出力されることにより、各電流記憶部31aに上記第1の動作期間において保持された電流が負荷駆動電流I_{dv}として、各出力端子T_{out}を介して同一のタイミングで一斉に各負荷に出力される。

そして、このような第1及び第2の動作期間を、所定の動作周期ごとに繰り返し設定することにより、電流発生回路10Bから連続的に出力される電流I_cが、一対の電流記憶部31a、31bのうち、一方に保持されるとともに、他方から負荷駆動電流I_{dv}が出力される動作が、交互かつ連続的に実行される。

【0088】

したがって、本実施形態に係る電流駆動装置によれば、上述した第1の実施形態と同様に、単一の電流発生回路から出力される電流を各電流記憶回路（電流記憶部）に順次取り込んで保持し、所定のタイミングで一括して出力することにより、単一の電流源から供給される均一な電流特性を有する電流を各出力端子ごと

に保持することができるので、各出力端子間の負荷駆動電流のバラツキを抑制することができるとともに、各出力端子ごとに一对の電流記憶部を備え、電流発生回路から出力される電流を、一方の電流記憶部側に順次書き込みを行っている状態で、他方の電流記憶部側に保持された電流を一括して出力することにより、電流書込動作時の待ち時間を短縮、もしくは、なくすことができるので、実質的に常時、所定の負荷駆動電流を出力端子を介して各負荷に供給して、負荷への駆動電流の供給時間を長くすることができて、駆動状態を細かく制御することができる。

【0089】

<電流駆動装置の第3の実施形態>

図7は、本発明に係る電流駆動装置の第3の実施形態を示す概略構成図である。ここで、上述した第1及び第2の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第3の実施形態に係る電流駆動装置は、負荷が接続される出力端子ごとに2段の電流記憶部を直列に設け、前段の電流記憶部により単一の電流発生回路から供給される所定の電流値を有する電流を順次保持する動作と、後段の電流記憶部により前段の電流記憶部から転送された電流を、出力端子を介して一括して出力する動作を、同時並行的に実行するように構成されている。

【0090】

本実施形態に係る電流駆動装置は、具体的には、図7に示すように、負荷の駆動状態に応じた所定の電流値を有する電流 I_c を順次生成して出力する単一の電流発生回路 10C と、出力端子 T_{out} ごとに直列的に2段設けられ、電流発生回路 10B から供給される電流 I_c を、所定のタイミングで取り込んで保持し、図示を省略した制御部から供給される出力イネーブル信号（転送制御信号） $EN1$ に基づいて、所定のタイミングで保持した電流を一括して次段の電流記憶部 32b に転送する電流記憶部 32a、及び、電流記憶部 32a から転送された電流を取り込んで保持し、制御部から供給される出力イネーブル信号 $EN2$ に基づいて、保持した電流を所定のタイミングで、出力端子 T_{out} を介して一括して出力する電流記憶部 32b からなる複数の電流記憶回路 30C と、電流発生回路 10C

から供給される電流 I_c を前段の電流記憶部 32a へ供給する際のタイミングを設定するシフトレジスタ 20C と、シフトレジスタ 20C により設定される所定のタイミングに基づいて、電流発生回路 10C から各電流記憶回路 30C への電流 I_c の供給状態を制御するスイッチ手段 40C と、を備えて構成されている。なお、本実施形態に適用される電流発生回路 10C、シフトレジスタ 20C、電流記憶回路 30C（電流記憶部 32a、32b）及びスイッチ手段 40C は、上述した第 1 の実施形態と同等の構成を有しているので、詳細な説明を省略する。

【0091】

このような構成を有する電流駆動装置において、第 1 の動作期間においては、シフトレジスタ 20C からのスイッチ切換信号 SR が、各電流記憶回路 30C に対応して設けられたスイッチ手段 40C に、順次出力されることにより、スイッチ手段 40C が所定期間のみ順次オン動作して、電流発生回路 10C から供給される電流 I_c が前段の電流記憶部 32a に順次書き込まれる。

また、このとき、制御部から所定のタイミングで、全ての後段の電流記憶部 32b に対して、出力イネーブル信号 $EN2$ が共通に出力されることにより、各電流記憶部 32b に既に保持されている電流が負荷駆動電流 I_{dv} として、各出力端子 T_{out} を介して同一のタイミングで一斉に各負荷に出力される。

そして、上記第 1 の動作期間終了後の所定のタイミングで、制御部から全ての前段の電流記憶部 32a に対して、出力イネーブル信号 $EN1$ が共通に出力されることにより、上記第 1 の動作期間において各電流記憶部 32a に保持された電流が、後段の電流記憶部 32b に一括して転送され保持される（転送動作期間）。

【0092】

次いで、上記電流記憶回路 30C における電流の転送動作終了後に設定される第 2 の動作期間においては、上述した第 1 の動作期間と同様に、再び、シフトレジスタ 20C からのスイッチ切換信号 SR が、各スイッチ手段 40C に順次出力されることにより、電流発生回路 10C から供給される電流 I_c が前段の電流記憶部 32a に順次書き込まれるとともに、このとき、後段の電流記憶部 32b に対して、所定のタイミングで出力イネーブル信号 $EN2$ が共通に出力されること

により、各電流記憶部 32b から上記転送、保持された電流が負荷駆動電流 I_{dv} として一斉に各負荷に出力される。

【0093】

そして、このような一連の動作期間を、所定の動作周期ごとに繰り返し設定することにより、電流発生回路 10C から連続的に出力される電流 I_c を、前段の電流記憶部 32a に保持するとともに、前段の電流記憶部 32a から転送された電流を後段の電流記憶部 32b から負荷駆動電流 I_{dv} として出力する動作が、順次かつ連続的に実行される。

したがって、本実施形態に係る電流駆動装置によれば、上述した第 2 の実施形態と同様に、各出力端子間の負荷駆動電流のバラツキを抑制することができるとともに、負荷への駆動電流の供給時間を長くすることができて、駆動状態を細かく制御することができる。

【0094】

<電流駆動装置の第 4 の実施形態>

図 8 は、本発明に係る電流駆動装置の第 4 の実施形態を示す概略構成図である。ここで、上述した第 1 乃至第 3 の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第 4 の実施形態に係る電流駆動装置は、上述した第 1 乃至第 3 の実施形態に示した構成において、所定数の出力端子、及び、該出力端子に対応して設けられた電流記憶回路、シフトレジスタ、スイッチ手段を含む構成を 1 グループとして、各グループごとに個別の半導体チップ上に形成するとともに、各グループ（半導体チップ）に対して単一の電流発生回路を設け、所定の電流値を有する電流を共通に供給する構成を有している。なお、以下に示す具体例においては、上述した第 2 の実施形態に示した構成に適用した場合について説明するが、他の実施形態についても同様に適用することができる。

【0095】

本実施形態に係る電流駆動装置は、具体的には、図 8 に示すように、第 2 の実施形態（図 6 参照）に示した構成と同等の、所定数の出力端子 T_{out} と、該出力端子 T_{out} に対応して設けられた複数の電流記憶回路 30D（電流記憶部 33a

、33b)と、シフトレジスタ20D(シフトレジスタ部23a、23b)と、複数の入力側スイッチ手段40D(スイッチ43a、43b)と、複数の出力側スイッチ手段50Dからなる回路構成が、各々形成された複数の半導体チップCP1、CP2、・・・CPnと、各半導体チップCP1、CP2、・・・CPnに対して、各出力端子T_{out}に接続される負荷の駆動状態に応じた所定の電流値を有する電流I_cを順次生成して、共通に供給する単一の電流発生回路10Dと、を備えている。なお、本実施形態に適用される電流発生回路10D、シフトレジスタ20D(シフトレジスタ部23a、23b)、電流記憶回路30D(電流記憶部33a、33b)及び入力側スイッチ手段40D(スイッチ43a、43b)及び出力側スイッチ手段50Dは、上述した第2の実施形態と同等の構成を有しているので、詳細な説明を省略する。

【0096】

ここで、電流発生回路10Dは、上記電流記憶回路30Dを含む回路構成が形成された複数の半導体チップCP1、CP2、・・・CPnのうちの特定の半導体チップ上に形成されているものであってもよいし、各半導体チップCP1、CP2、・・・CPnのそれぞれに同じ回路が形成されていて、そのうちの何れか1つを用い、他を非動作とする、あるいはバイパスするようにしてもよい。更には、複数の半導体チップCP1、CP2、・・・CPnとは別個の半導体チップに形成されているものであってもよい。

また、本実施形態に適用される半導体チップCP1、CP2、・・・CPnは、例えば、単結晶シリコン等の半導体材料であればよく、特に材質を限定するものではない。

【0097】

このような構成を有する電流駆動装置において、上述した第2の実施形態と同様の動作を実行することにより、電流発生回路10Dから出力される電流I_cが各半導体チップCP1、CP2、・・・CPnに共通に供給され、各半導体チップCP1、CP2、・・・CPnごとに設けられた電流記憶回路30Dの一对の電流記憶部33a、33bのうち、一方側に順次取り込まれて保持されるとともに、他方側に既に保持されている電流が負荷駆動電流I_{dv}として、各半導体チッ

プCP1、CP2、・・・CPnの出力端子T_{out}を介して、一斉に各負荷に出力される動作が、交互かつ連続的に実行される。

【0098】

したがって、本実施形態に係る電流駆動装置によれば、各半導体チップに対して単一の電流発生回路のみを備え、各半導体チップごとに個別の電流発生回路を備えた構成を有していないので、各半導体チップに形成される回路構成の簡素化や端子数の削減を図ることができ、装置規模の小型化や製品コストの削減を図ることができるとともに、負荷に接続される出力端子数に対応させて、複数の半導体チップを設けた場合であっても、各半導体チップの電流記憶回路に単一の電流源から供給される均一な電流特性を有する電流を保持することができるので、各出力端子間並びに各半導体チップ間における負荷駆動電流のバラツキを抑制して、各負荷を均一な動作特性で駆動させることができる。

【0099】

具体的には、後述するような表示パネル（図15参照）において、表示画質の高精細化や表示パネルの大画面化のために表示画素（発光素子；負荷）数を増加させ、複数のドライバチップ（半導体チップ）からなるデータドライバを適用した場合であっても、単一の電流発生回路から出力される、表示データに応じた所定の電流を各ドライバチップに形成された電流記憶回路に順次供給して、各出力端子から発光駆動電流（負荷駆動電流）を所定のタイミングで一斉に各発光素子に対して供給する動作を、各行ごとに順次繰り返すことにより、表示パネル1画面分の表示データを各表示画素に書き込んで所定の輝度階調で発光動作させることができるので、高精細又は大画面サイズの画像情報を表示ムラの発生を抑制しつつ、良好に表示することができる。

【0100】

<電流駆動装置の第5の実施形態>

図9は、本発明に係る電流駆動装置の第5の実施形態を示す概略構成図である。ここで、上述した第1乃至第4の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

本発明に係わる電流駆動装置により駆動する表示パネルが単純マトリクス型で

ある場合（図 20 参照）、各出力端子から表示素子（負荷）に対して、一定電流を有し、表示データに応じた供給時間（パルス幅）に設定された電流を供給することによってパルス幅変調（PWM）駆動方式として、所望の画像を表示させることができる。本実施形態の電流駆動装置は、このような駆動方式に好適に適用できるものであって、上述した第 1 乃至第 4 の実施形態に示した構成において、単一の電流発生回路から出力される電流が共通に供給される各半導体チップ（すなわち、第 4 の実施形態に示した所定数の出力端子、及び、該出力端子に対応して設けられた電流記憶回路、シフトレジスタ、スイッチ手段を含む 1 グループの回路構成）ごとの入力部に、単一の入力電流記憶回路を各々設けた構成を有して、各半導体チップの各出力端子毎の電流記憶回路に一定電流を取り込む動作を同時並行的に行うことができ、電流保持に要する時間を大幅に短縮することができる。なお、以下に示す具体例においては、上述した第 4 の実施形態に示した構成に適用した場合について説明するが、他の実施形態についても同様に適用することができる。

【0101】

本実施形態に係る電流駆動装置は、具体的には、図 9 に示すように、第 4 の実施形態（図 8 参照）に示した構成と同等の、所定数の出力端子 T_{out} と、該出力端子 T_{out} に対応して設けられた複数の電流記憶回路 30E（電流記憶部 34a、34b）と、シフトレジスタ 20E（シフトレジスタ部 24a、24b）と、複数の入力側スイッチ手段 40E（スイッチ 44a、44b）と、複数の出力側スイッチ手段 50E からなる回路構成に加え、これらの回路構成の前段であって、電流発生回路 10E から出力される電流 I_c が供給される入力部に、図示を省略したシフトレジスタからのシフト出力に基づいてオン／オフ動作する入力部スイッチ手段 60E と、電流発生回路 10E から出力される電流 I_c を取り込んで保持する入力電流記憶回路（入力電流記憶手段）70E が形成された複数の半導体チップ CP1、CP2、・・・CPn と、各半導体チップ CP1、CP2、・・・CPn に対して、所定の電流 I_c を共通に供給する単一の電流発生回路 10E と、を備えている。なお、本実施形態に適用される電流発生回路 10E、シフトレジスタ 20E（シフトレジスタ部 24a、24b）、電流記憶回路 30E（

電流記憶部 34 a、34 b) 及び入力側スイッチ手段 40 E (スイッチ 44 a、44 b) 及び出力側スイッチ手段 50 E は、上述した第 4 の実施形態と同等の構成を有しているので、詳細な説明を省略する。

【0102】

ここで、各半導体チップ CP 1、CP 2、・・・CP n に設けられる入力部スイッチ手段 60 E は、図示を省略したシフトレジスタ (又は、制御部) から順次出力されるシフト出力 (スイッチ切換信号) に基づいて、各々異なるタイミングでオン動作し、電流発生回路 10 E から出力された電流 I_c を各半導体チップ CP 1、CP 2、・・・CP n に供給する書込状態に設定して、電流 I_c が入力電流記憶回路 70 E に取り込まれ、保持されるように制御する。

【0103】

入力電流記憶回路 70 E は、上述した第 1 の実施形態における電流記憶回路と同等の構成を有し、電流発生回路 10 E から出力される電流 I_c を、上記入力部スイッチ手段 60 E がオン状態となる所定のタイミングで順次取り込み保持し、該保持された電流 I_c を、図示を省略した制御部から出力される出力イネーブル信号に基づいて、各半導体チップ内の入力側スイッチ手段 40 E (スイッチ 44 a、44 b のいずれか) を介して、電流記憶回路 30 E (電流記憶部 34 a、34 b のいずれかに) 出力する。

【0104】

このような構成を有する電流駆動装置において、まず、電流発生回路 10 E から出力される所定の電流値を有する電流 I_c が各半導体チップ CP 1、CP 2、・・・CP n に共通に供給され、所定のタイミングで各半導体チップ CP 1、CP 2、・・・CP n ごとに設けられた入力部スイッチ手段 60 E を介して、入力電流記憶回路 70 E に順次取り込まれて保持される。

そして、第 1 の動作期間において、入力電流記憶回路 70 E に保持された電流が、各半導体チップ CP 1、CP 2、・・・CP n において同時並行的に、入力側スイッチ手段 40 E の一方 (例えば、スイッチ 44 a) を介して、電流記憶回路 30 E の一方 (例えば、電流記憶部 34 a) に転送されて保持される。このとき、電流記憶回路 30 E の他方 (例えば、電流記憶部 34 b) に既に保持されて

いる電流が負荷駆動電流 I_{dv} として各出力端子 T_{out} に一斉に出力される。

【0105】

次いで、上記第1の動作期間終了後の所定のタイミングで、再び、電流発生回路 10E から出力される電流 I_c が、所定のタイミングで各半導体チップ CP1、CP2、・・・CPn ごとに設けられた入力部スイッチ手段 60E を介して、入力電流記憶回路 70E に順次取り込まれて保持される。

次いで、上記第1の動作期間終了後であって、入力電流記憶回路 70E への電流 I_c の取り込み保持動作が終了した後に設定される第2の動作期間においては、上述した第1の動作期間と同様に、入力電流記憶回路 70E に保持された電流が、各半導体チップ CP1、CP2、・・・CPn において同時並行的に、入力側スイッチ手段 40E の他方（例えば、スイッチ 44b）を介して、電流記憶回路 30E の他方（例えば、電流記憶部 34b）に転送されて保持される。このとき、上記第1の動作期間において電流記憶回路 30E の一方（例えば、電流記憶部 34a）に保持された電流が負荷駆動電流 I_{dv} として各出力端子 T_{out} に一斉に出力される。

【0106】

そして、このような一連の動作期間を、所定の動作周期ごとに繰り返し設定することにより、電流発生回路 10E から出力される電流 I_c を、入力部の入力電流記憶回路 70E に順次保持して後段の電流記憶回路 30E に転送するとともに、電流記憶回路 30E の一方に取り込んで保持する動作と、他方に保持されている電流を、負荷駆動電流 I_{dv} として一斉に各出力端子 T_{out} に出力する動作が、交互かつ連続的に実行される。

【0107】

したがって、本実施形態に係る電流駆動装置によれば、単一の電流発生回路から出力される電流を、各半導体チップごとに設けられた入力電流記憶回路に順次取り込み、その後、各半導体チップで同時並行的に、各出力端子に対応して設けられた後段の電流記憶回路に転送して取り込み保持して、所定のタイミングで一括して出力することにより、各出力端子間の負荷駆動電流のバラツキを抑制することができるとともに、各半導体チップの出力端子に対応した電流記憶回路に電

流を取り込む動作を、各半導体チップ間で同時並行的に行うことができるため、全ての出力端子に対応した電流記憶回路に電流を取り込み保持するために要する時間を大幅に短縮することができて、負荷の駆動速度を高速化することができ、駆動状態を細かく制御することができる。

【0108】

ここで、本実施形態においては、各半導体チップCP1、CP2、・・・CPnごとに設けられた入力電流記憶回路70Eにより取り込み保持された電流Icが、各半導体チップCP1、CP2、・・・CPn内に設けられた複数の電流記憶回路30Eに順次取り込み保持されて、所定のタイミングで一斉に各出力端子T_{out}から出力される構成を有しており、各出力端子T_{out}を介して各負荷に供給される負荷駆動電流I_{dv}は、各タイミングで全て同一の電流値を有する一定電流となる。そして、パルス幅変調（PWM）駆動方式とするために、各出力端子T_{out}と負荷の間に、図示しない、表示データに応じて各負荷に供給する電流の印加時間を変える回路を用いることによって、各負荷をパルス幅変調（PWM）によって動作させることができる。

【0109】

具体的には、後述するような表示パネル（図20参照）において、発光素子（負荷）に対して、データドライバを構成する各ドライバチップ（半導体チップ）の各出力端子の全てから均一な電流特性を有し、かつ、各表示データに応じた供給時間（パルス幅）に設定された一定電流からなる発光駆動電流（負荷駆動電流）を所定の表示期間中に供給する動作を、各行ごとに順次繰り返すことにより、表示パネル1画面分の表示データを各表示画素に書き込んで所定の輝度階調で発光動作させることができるので、所望の画像情報を表示ムラの発生を抑制しつつ、良好に表示することができる。

【0110】

<電流駆動装置の第6の実施形態>

図10は、本発明に係る電流駆動装置の第6の実施形態を示す概略構成図である。ここで、上述した第1乃至第5の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第6の実施形態に係る電流駆動装置は、上述した第5の実施形態に示した構成において、各半導体チップごとに設けられた入力電流記憶回路が、一対の電流記憶部を並列的に設けた構成を有している。なお、以下に示す具体例においては、上述した第5の実施形態に示した構成に適用した場合について説明するが、他の実施形態についても同様に適用することができる。

【0111】

本実施形態に係る電流駆動装置は、具体的には、図10に示すように、第5の実施形態（図9参照）に示した構成において、各半導体チップCP1、CP2、
・・・CPnの入力部に設けられた入力電流記憶回路（入力記憶手段）70Fが、相互に並列に配置された一対の電流記憶部71a、71bを備え、かつ、該入力電流記憶回路70Fの入力側及び出力側に、各々、上記電流記憶部71a、71bのいずれか一方に選択的に接続するための個別のスイッチ手段60F、80Fが設けられている。なお、本実施形態に適用される他の構成は、上述した第5の実施形態と同等の構成を有しているので、詳細な説明を省略する。

【0112】

このような構成を有する電流駆動装置において、電流発生回路10Fから連続的に出力される電流Icが各半導体チップCP1、CP2、・・・CPnに共通に供給され、図示を省略した制御部からスイッチ切換信号が所定のタイミングで、各半導体チップCP1、CP2、・・・CPnの入力部に設けられたスイッチ手段60F、80Fに印加されることにより、電流記憶回路70Fの一対の電流記憶部71a、72bのうち、一方側に上記電流Icが順次取り込まれて保持されるとともに、他方側に既に保持されている電流Icを、後段の複数の電流記憶回路30Fに転送する動作が、交互かつ連続的に実行される。

また、後段の複数の電流記憶回路30Fにおいては、電流記憶部35a、35bのいずれか一方側に所定のタイミングで、上記入力電流記憶回路70Fから供給される電流Icを順次取り込んで保持する動作と、他方側に保持された電流を出力端子を介して一斉に出力する動作が、交互かつ連続的に実行される。

【0113】

したがって、本実施形態に係る電流駆動装置によれば、単一の電流発生回路か

ら出力される電流を、各半導体チップごとに設けられた入力電流記憶回路の一方の入力電流記憶部側に順次書き込みを行っている状態で、他方の入力電流記憶部側に保持された電流を、各出力端子ごとに設けられた電流記憶部に転送して取り込み保持することにより、各半導体チップへの電流書き込み動作時の待ち時間を短縮、もしくは、なくすことができるので、電流の書き込み時間を大幅に短縮することができるとともに、実質的に常時、所定の負荷駆動電流を出力端子を介して各負荷に供給して、負荷への駆動電流の供給時間を長くすることができて、駆動状態を細かく制御することができる。

なお、本実施形態においても、上述した第5の実施形態と同様に、各出力端子 T_{out} を介して各負荷に供給される負荷駆動電流 I_{dv} は、各タイミングで全て同一の電流値を有する一定電流となり、パルス幅変調 (PWM) 駆動方式を適用して、各負荷への一定電流の供給時間 (パルス幅) を調整するようにすることにより、各負荷を所望の駆動状態で動作させることができる。

【0114】

<電流駆動装置の第7の実施形態>

図11は、本発明に係る電流駆動装置の第7の実施形態を示す概略構成図である。ここで、上述した第1乃至第6の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第7の実施形態に係る電流駆動装置は、各々異なる重み付けを有するように電流値が設定された基準電流を生成して出力する複数の基準電流発生部を備えた単一の基準電流発生回路から供給される複数の基準電流を、該基準電流に対応して設けられた複数の基準電流記憶部に個別に保持し、所定数のデジタル入力信号に基づいて、負荷の駆動状態に応じた所定の電流を順次生成する構成を有している。

【0115】

本実施形態に係る電流駆動装置は、具体的には、図11に示すように、電流値に、例えば、1:2:4:8の重み付けが設定された基準電流 I_1 、 I_2 、 I_4 、 I_8 を個別に生成して出力する4組の基準電流発生部 11a~11d からなる基準電流発生回路 (基準電流発生手段) 10G と、該基準電流発生回路 10G か

ら供給される各基準電流 I_1 、 I_2 、 I_4 、 I_8 を、後述する基準電流記憶回路 90G へ並列的に一括して供給する際のタイミングを設定するシフトレジスタ SFR と、基準電流発生回路 10G から供給される基準電流 I_1 、 I_2 、 I_4 、 I_8 を個別に取り込んで保持する複数の基準電流記憶部 91a ~ 91d からなる電流記憶回路 90G と、シフトレジスタ SFR から所定のタイミングで出力されるスイッチ切換信号（シフト出力） SR_s により設定されるタイミングに基づいて、基準電流発生回路 10G（基準電流発生部 11a ~ 11d）から基準電流記憶回路 90G（基準電流記憶部 91a ~ 91d）への基準電流 I_1 、 I_2 、 I_4 、 I_8 の供給状態を制御する入力側スイッチ手段 SWA と、負荷の駆動状態を制御するためのデジタル入力信号 IN_1 ~ IN_4 に基づいて、基準電流記憶回路 90G を構成する基準電流記憶部 91a ~ 91d のうち、任意の基準電流記憶部を選択して、該選択された基準電流記憶部に保持された基準電流を合成して、負荷の駆動状態に対応した所定の電流値を有する電流 I_s を生成する出力側スイッチ手段（電流生成手段）SWB と、出力端子 T_{out} ごとに設けられ、出力側スイッチ手段 SWB により生成された電流 I_s を、個別のタイミングで取り込んで保持する複数の電流記憶回路 30G と、電流記憶回路 30G に対応して設けられ、図示を省略したシフトレジスタ（詳しくは、図 1 に示したシフトレジスタと同等）により設定されるタイミングに基づいて、出力側スイッチ手段 SWB から各電流記憶回路 30G への電流 I_s の供給状態を制御する複数のスイッチ手段 40G と、を備えて構成されている。

【0116】

すなわち、本実施形態においては、基準電流発生回路 10G、基準電流記憶回路 90G、入力側スイッチ手段 SWA 及び出力側スイッチ手段 SWB からなる構成が、所定数のデジタル入力信号 IN_1 ~ IN_4 に基づいて、負荷の駆動状態に応じた所定の電流値を有する電流 I_s を生成、出力する電流発生手段としての機能を有し、電流記憶回路 30G、スイッチ手段 40G からなる構成が、上述した各実施形態に示したような電流記憶手段としての機能を有している。

【0117】

ここで、本実施形態に係る電流駆動装置においては、所定数の出力端子 T_{out}

、及び、該出力端子 T_{out} に対応して設けられた電流記憶回路 30G、入力側スイッチ手段 40G、並びに、各電流記憶回路 30G に供給する所定の電流 I_s を生成する基準電流記憶回路 90G、入力側及び出力側スイッチ手段 SWA、SWB を含む構成を 1 グループとして、各グループごとに個別の半導体チップ CP1、CP2、・・・CPn 上に形成するとともに、各グループ（半導体チップ）に対して単一の基準電流発生回路 10G を設け、該基準電流発生回路 10G から出力される基準電流 I_1 、 I_2 、 I_4 、 I_8 が共通に供給されるように構成されている。

【0118】

また、基準電流発生部 11a～11d は、上述した各実施形態に示した電流発生回路と同等の回路構成（図 2 参照）を有し、各基準電流発生部 11a～11d により生成される基準電流の電流値の比が、1：2：4：8 になるように、回路構成を適宜設計したものを適用することができる。なお、本実施形態に適用されるシフトレジスタ SFR、基準電流記憶回路 90G（電流記憶部 91a～91d）及び入力側スイッチ手段 SWA は、上述した実施形態に示した各構成と同等の構成を有しているので、詳細な説明を省略する。

【0119】

このような構成を有する電流駆動装置において、基準電流生成期間においては、基準電流発生回路 10G を構成する各基準電流発生部 11a～11d により 1：2：4：8 の重み付けを有するように電流値が設定された基準電流 I_1 、 I_2 、 I_4 、 I_8 を生成して出力するとともに、シフトレジスタ SFR から順次出力されるスイッチ切換信号 $S R_s$ が各入力側スイッチ手段 SWA に順次印加される。これにより、各スイッチ手段 SWA が異なるタイミングで所定期間のみ順次オン動作して、上記基準電流発生回路 10G から出力された一群の基準電流 I_1 、 I_2 、 I_4 、 I_8 が各基準電流記憶部 91a～91d に同時並行的に供給されて個別に保持される。

【0120】

次いで、電流出力期間においては、上記シフトレジスタ SFR からのスイッチ切換信号 $S R_s$ の出力が終了して、全ての入力側スイッチ手段 SWA がオフ動作

し、全ての基準電流記憶回路 90G に各基準電流 I_1 、 I_2 、 I_4 、 I_8 が保持された後、図示を省略した制御部から各基準電流記憶部 91a ~ 91d に出力イネーブル信号 EN_s が共通に印加されるとともに、デジタル入力信号 $IN_1 \sim IN_4$ が各基準電流記憶部 91a ~ 91d に個別に設けられた出力側スイッチ手段 SWB に印加される。これにより、例えば、ハイレベルのデジタル入力信号 $IN_1 \sim IN_4$ が印加された出力側スイッチ手段 SWB のみがオン動作して、保持されていた基準電流が選択的に出力され、これらの電流成分が合成されることにより、デジタル入力信号 $IN_1 \sim IN_4$ の信号レベル（すなわち、負荷の駆動状態）に応じた電流値を有する電流（アナログ信号） I_s が生成される。

【0121】

次いで、電流書込期間においては、図示を省略したシフトレジスタからのスイッチ切換信号 SR が、スイッチ手段 40G に順次出力されることにより、各スイッチ手段 40G が所定期間のみ順次オン動作して、基準電流記憶回路 90G から出力側スイッチ手段 SWB を介して供給される電流 I_s が各電流記憶回路 30G に順次書き込まれる。

次いで、駆動電流出力期間においては、全ての電流記憶部 30G に対して、図示を省略した制御部から出力イネーブル信号 EN が所定のタイミングで、共通に出力されることにより、各電流記憶回路 30G に保持されている電流が負荷駆動電流 I_{dv} として、各出力端子 T_{out} を介して同一のタイミングで一斉に各負荷に出力される。

そして、このような基準電流生成期間、電流出力期間、電流書込期間及び駆動電流出力期間を、所定の動作周期ごとに繰り返し設定することにより、負荷を所定の駆動サイクルで動作させることができる。

【0122】

したがって、本実施形態に係る電流駆動装置によれば、各々異なる重み付けを有するように電流値が設定された基準電流が保持された複数の基準電流記憶部を、所定数のデジタル入力信号に基づいて任意に選択して、選択された基準電流記憶部に保持された基準電流を合成することにより、負荷の駆動状態に対応したアナログ信号からなる所定の電流が生成されて、各出力端子に設けられた電流記憶

回路に保持する動作が順次実行され、所定のタイミングで該保持された電流を負荷駆動電流として各負荷に一斉に供給されるので、比較的簡易な装置構成により、各負荷を入力信号に良好に対応した駆動状態で動作させることができる。また、単一の電流発生回路から出力される均一な電流特性を有する基準電流を、各半導体チップごとに設けられた基準電流記憶回路に共通に供給し、該基準電流に基づいて負荷駆動電流が生成されるので、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における負荷駆動電流のバラツキを良好に抑制することができる。

なお、本実施形態においては、電流記憶手段として、上述した第1の実施形態に示した構成を適用した場合について説明したが、他の実施形態に示したような電流記憶部を複数備え、上記基準電流記憶回路から供給される電流 I_s を順次取り込んで保持する動作と、保持された電流を負荷駆動電流として出力端子を介して一斉に出力する動作を、交互に実行する構成を適用するものであってもよい。

【0123】

具体的には、後述するような表示パネル（図15参照）において、表示画質の高精細化や表示パネルの大画面化のために表示画素（発光素子；負荷）数を増加させ、複数のドライバチップ（半導体チップ）からなるデータドライバを適用した場合であっても、単一の基準電流発生回路から出力される基準電流を各ドライバチップに順次供給し、該基準電流に基づいて表示データ（デジタル入力信号）に良好に対応した電流値を有する発光駆動電流（アナログ信号）を順次生成して、所定のタイミングで一斉に各発光素子に供給することができるので、各出力端子間並びに各ドライバチップ間における発光駆動電流のバラツキを良好に抑制して、表示ムラの発生を抑制しつつ、表示データに良好に対応した多階調表示を行うことができる表示装置を実現することができる。

【0124】

<電流駆動装置の第8の実施形態>

図12は、本発明に係る電流駆動装置の第8の実施形態を示す概略構成図である。ここで、上述した第7の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第 8 の実施形態に係る電流駆動装置は、上述した第 7 の実施形態に示した構成において、各半導体チップごとに、基準電流発生回路から出力される複数の基準電流を所定のタイミングで取り込み保持する複数の基準電流記憶部を備える一対の基準電流記憶回路部を備え、一方側の基準電流記憶回路部により単一の基準電流発生回路から供給される基準電流を順次保持する動作と、他方側の基準電流記憶回路部により既に保持した基準電流に基づいて、負荷の駆動状態に応じた所定の電流を生成して、電流記憶回路に順次出力する動作を、同時並行的に実行するように構成されている。

【0125】

本実施形態に係る電流駆動装置は、具体的には、図 12 に示すように、第 7 の実施形態（図 11 参照）に示した構成において、各半導体チップ CP1、CP2、・・・CPn に設けられた基準電流記憶回路 90H が、相互に並列に配置された一対の 4 ビット基準電流記憶回路部（各基準電流記憶回路部は、図 11 に示した基準電流記憶部 91a～91d に相当する）92a、92b を備え、かつ、該基準電流記憶回路 90H の入力側及び出力側に、各々、上記 4 ビット基準電流記憶回路部 92a、92b のいずれか一方に選択的に接続するための個別のスイッチ手段 SWA、SWB が設けられている。ここで、4 ビット基準電流発生回路 10H は、各々異なる重み付けを有するように電流値が設定された基準電流 I1、I2、I4、I8 を生成して出力する 4 組の基準電流発生部からなる構成（図 11 に示した基準電流発生部 11a～11d に相当する構成）を有している。なお、本実施形態に適用される他の構成は、上述した第 7 の実施形態と同等の構成を有しているので、詳細な説明を省略する。

【0126】

このような構成を有する電流駆動装置において、4 ビット電流発生回路 10H から各々異なる重み付けを有するように電流値が設定された基準電流 I1、I2、I4、I8 が各半導体チップ CP1、CP2、・・・CPn に共通に供給され、シフトレジスタ SFR から順次出力されるスイッチ切換信号 SRs が各入力側スイッチ手段 SWA に順次印加されることにより、基準電流記憶回路 90H の一対の 4 ビット基準電流記憶回路部 92a、92b のうち、一方側に上記基準電流

が順次取り込まれて個別に保持される。このとき、他方側に、図示を省略した制御部から出力イネーブル信号 ENa 、 ENb が他方側の 4 ビット基準電流記憶回路部に共通に印加されるとともに、デジタル入力信号 $IN1 \sim IN4$ が各出力側スイッチ手段 SWB に印加されることにより、既に保持されている基準電流 $I1$ 、 $I2$ 、 $I4$ 、 $I8$ が選択的に出力され、これらの電流成分が合成されて、デジタル入力信号 $IN1 \sim IN4$ の信号レベル（すなわち、負荷の駆動状態）に応じた電流値を有する電流（アナログ信号） I_s が生成される動作が、交互かつ連続的に実行される。

【0127】

したがって、本実施形態に係る電流駆動装置によれば、単一の基準電流発生回路から出力される異なる電流値を有する基準電流を、各半導体チップごとに設けられた基準電流記憶回路の一方の 4 ビット基準電流記憶回路部側に順次書き込みを行っている状態で、他方の 4 ビット基準電流記憶回路部側に保持された基準電流に基づいて、デジタル入力信号に対応した電流生成して、後段の電流記憶部に順次出力することにより、各半導体チップへの基準電流の取り込み動作時及び負荷の駆動応対に応じた電流の生成動作時における待ち時間を短縮、もしくは、なくすことができるので、電流の書き込み時間を大幅に短縮することができるとともに、入力信号に良好に対応した駆動状態で各負荷を動作させることができる。

【0128】

<電流駆動装置の第 9 の実施形態>

図 13 は、本発明に係る電流駆動装置の第 9 の実施形態を示す概略構成図である。ここで、上述した実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第 9 の実施形態に係る電流駆動装置は、上述した各実施形態に示した電流駆動装置に適用される、半導体チップに形成された構成を相互に階層化して、上位の半導体チップに設けられた複数の出力端子の各々を下位の複数の半導体チップの入力部に接続した構成を有している。なお、以下に示す具体例においては、上述した第 8 の実施形態に示した構成に適用した場合について説明するが、他の実施形態についても同様に適用することができる。

【0129】

本実施形態に係る電流駆動装置は、具体的には、図13に示すように、第8の実施形態（図12参照）に示した構成において、4ビット基準電流発生回路10Jから各々異なる重み付けを有するように電流値が設定された基準電流I1、I2、I4、I8が共通に供給される上位の半導体チップCP11、CP12、・・・CPyと、該上位の半導体チップCP11、CP12、・・・CPyごとの複数の出力端子T1outに、入力端子T2inが接続され、複数の負荷に出力端子T2outが個別に接続された下位の半導体チップCP21、CP22、・・・CPzと、を備えている。

【0130】

ここで、上位の半導体チップCP11、CP12、・・・CPyは、シフトレジスタSFRからのシフト出力（スイッチ切換信号）SRaに基づく所定のタイミングで、4ビット基準電流発生回路10Jから供給される基準電流I1、I2、I4、I8を取り込み保持する動作と、保持された基準電流I1、I2、I4、I8を、そのまま下位の半導体チップCP21、CP22、・・・CPzに供給する動作を選択的に繰り返し実行する一対の4ビット基準電流記憶回路部93a、93bを備えた基準電流記憶回路90Jと、該4ビット基準電流記憶回路部93a、93bのいずれか一方に選択的に接続するための個別のスイッチ手段SWA、SWBのみが設けられている。すなわち、半導体チップCP11、CP12、・・・CPyには、図12に示したような、入力信号に基づく所定の電流値を有する電流を生成するための電流生成手段や後段の電流記憶回路を備えておらず、保持した基準電流I1、I2、I4、I8をそのまま出力して、出力端子T1out及び入力端子T2inを介して、下位の半導体チップCP21、CP22、・・・CPzに供給する。

【0131】

また、下位の半導体チップCP21、CP22、・・・CPzは、上述した第8の実施形態と同様に、図示を省略したシフトレジスタからのシフト出力（スイッチ切換信号）SRbに基づく所定のタイミングで、上位の半導体チップCP11、CP12、・・・CPyから供給される基準電流I1、I2、I4、I8を

取り込み保持する一対の 4 ビット基準電流記憶回路部 94 a、94 b を備えた基準電流記憶回路 90 K と、該 4 ビット基準電流記憶回路部 94 a、94 b のいずれか一方に選択的に接続するための入力側スイッチ手段 SWC と、デジタル入力信号 IN1 ~ IN4 に基づいて、4 ビット基準電流記憶回路部 94 a、94 b に保持された任意の基準電流を選択して、所定の電流値を有する電流を生成するための出力側スイッチ手段 SWD と、デジタル入力信号 IN1 ~ IN4 に基づいて生成された所定の電流を、順次取り込み保持し、所定のタイミングで一斉に出力端子 T2 out を介して各負荷に負荷駆動電流を供給する電流記憶回路 30 J 及びスイッチ手段 40 J と、を備えて構成されている。

【0132】

このような構成を有する電流駆動装置において、4 ビット基準電流発生回路 10 J から各々電流値の重み付けが異なる基準電流 I1、I2、I4、I8 が上位の半導体チップ CP11、CP12、... CPy に共通に供給され、シフトレジスタ SFR から順次出力されるシフト出力 SRa に基づいて、入力側スイッチ手段 SWA が基準電流記憶回路 90 J を構成する一対の 4 ビット基準電流記憶回路部 93 a、93 b の一方側に切り替わることにより、当該 4 ビット基準電流記憶回路部に上記基準電流 I1、I2、I4、I8 が個別に取り込まれて保持されるとともに、図示を省略した制御部から出力される出力イネーブル信号 ENa、ENb 及び選択制御信号 SEL に基づいて、出力側スイッチ手段 SWB が基準電流記憶回路 90 J の他方側に切り替わることにより、他方側に既に保持されている基準電流 I1、I2、I4、I8 がそのまま各出力端子 T1 out を介して、下位の半導体チップ CP21、CP22、... CPz の入力端子 T2 in に供給される。

【0133】

そして、下位の半導体チップ CP21、CP22、... CPz に供給された基準電流 I1、I2、I4、I8 は、図示を省略したシフトレジスタから順次出力されるシフト出力 SRb に基づいて、入力側スイッチ手段 SWC が基準電流記憶回路 90 K を構成する一対の 4 ビット基準電流記憶回路部 93 a、93 b の一方側に切り替わることにより、当該 4 ビット基準電流記憶回路部に上記基準電流

I 1、I 2、I 4、I 8が個別に取り込まれて保持されるとともに、制御部から出力される出力イネーブル信号ENc、ENd及びデジタル入力信号IN1～IN4に基づいて、出力側スイッチ手段SWDが基準電流記憶回路90Kの他方側に切り替わるとともに、任意の基準電流記憶部を選択する。これにより、他方側に既に保持されている基準電流I 1、I 2、I 4、I 8が任意に選択されて合成され、負荷の駆動状態に応じた所定の電流値を有する電流Isが生成されて、後段の電流記憶回路30Jに供給される。

【0134】

電流記憶回路30Jに供給された電流Isは、図示を省略したシフトレジスタからのシフト出力SRに基づいて、スイッチ手段40Jが所定期間のみ順次オン動作して、基準電流記憶回路90Kから出力側スイッチ手段SWBを介して供給される電流Isが各電流記憶回路30Kに順次書き込み保持され、負荷を駆動する所定のタイミングで制御部から出力イネーブル信号ENが印加されることにより、各電流記憶部30Jに保持された電流が負荷駆動電流Idvとして、各出力端子T2outを介して同一のタイミングで一斉に各負荷に出力される。

【0135】

したがって、本実施形態に係る電流駆動装置によれば、所定の電流を取り込み保持し、所定のタイミングで一斉に出力する機能を有する電流記憶回路を備えた半導体チップを、階層構造を有するように接続することにより、少数の上位の半導体チップに所定の電流又は基準電流を供給するだけで、複数の下位の半導体チップに該電流又は基準電流が順次転送され、所定の負荷駆動電流が各出力端子を介して、より多くの負荷に一括して供給されるので、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における負荷駆動電流のバラツキを小さく抑制することができるとともに、実質的に、各半導体チップに設けられた電流記憶回路への電流又は基準電流の書き込み時間を大幅に短縮することができる。

【0136】

なお、本実施形態においては、上述した第8の実施形態に階層構造を適用した場合の構成を示したため、上位の半導体チップCP11、CP12、・・・CP

y と、下位の半導体チップ CP 2 1、CP 2 2、・・・CP z に形成される回路構成が異なるものとなったが、例えば、上述した第 1 の実施形態もしくは第 4 の実施形態に示した構成に適用した場合にあっては、同一の回路構成を有する半導体チップを適用することができる。

【0137】

<表示装置の実施形態>

次に、上述した電流駆動装置を表示装置の表示駆動回路に適用した場合について、図面を参照して説明する。

図 1 4 は、本発明に係る表示装置の全体構成の一例を示す概略ブロック図であり、図 1 5 は、本実施形態に係る表示装置に適用されるデータドライバ及び表示パネルの要部構成を示すブロック図であり、図 1 6 は、本発明に係る表示装置に適用される走査ドライバの他の例を示す概略構成図である。

【0138】

図 1 4 に示すように、本実施形態に係る表示装置 1 0 0 は、概略、図 1 5 に示すように、相互に並行して配設された複数の走査ライン（走査線）SL 及び電源ライン（電源線）VL と複数のデータライン（信号線）DL との各交点近傍に、後述する画素駆動回路 DC 及び有機 EL 素子（発光素子）OEL からなる複数の表示画素がマトリクス状に配列された表示パネル（画素アレイ）1 1 0 と、表示パネル 1 1 0 の走査ライン SL に接続され、各走査ライン SL に所定のタイミングで順次ハイレベルの走査信号 Vsel を印加することにより、行ごとの表示画素群を選択状態に制御する走査ドライバ（走査駆動手段）1 2 0 と、表示パネル 1 1 0 のデータライン DL に接続され、データライン DL への表示データに応じた信号電流（階調電流 I_{pix} ）の供給状態を制御するデータドライバ（信号駆動手段）1 3 0 と、表示パネル 1 1 0 の走査ライン SL に並行して配設された電源ライン VL に接続され、各電源ライン VL に所定のタイミングで順次ハイレベル又はローレベルの電源電圧 V_{sc} を印加することにより、表示画素群に表示データに応じた所定の信号電流（階調電流、駆動電流）を流下させる電源ドライバ（電源駆動手段）1 4 0 と、後述する表示信号生成回路 1 6 0 から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ 1 2 0 及びデータドライバ 1 3 0

、電源ドライバ140の動作状態を制御する走査制御信号及びデータ制御信号、電源制御信号を生成、出力するシステムコントローラ150と、表示装置100の外部から供給される映像信号に基づいて、表示データを生成してデータドライバ130に供給するとともに、該表示データを表示パネル110に画像表示するためのタイミング信号（システムクロック等）を生成、又は、抽出してシステムコントローラ150に供給する表示信号生成回路160と、を備えて構成されている。

【0139】

以下、上記各構成について具体的に説明する。

（表示パネル）

表示パネルにマトリクス状に配列された表示画素は、図15に示すように、走査ドライバ120から走査ラインSLに印加される走査信号Vsel、及び、信号ドライバ130からデータラインDLに供給される信号電流、電源ドライバ140から電源ラインVLに印加される電源電圧Vscに基づいて、後述する表示画素への書込動作及び発光素子の発光動作を制御する画素駆動回路DCと、供給される駆動電流の電流値に応じて発光輝度が制御される有機EL素子OELと、を有して構成されている。

【0140】

ここで、画素駆動回路DCは、概略、走査信号に基づいて該表示画素の選択／非選択状態を制御し、選択状態において表示データに応じた階調電流を取り込んで電圧レベルとして保持し、非選択状態において上記保持した電圧レベルに応じた駆動電流を流して発光素子を発光する動作を所定期間維持する機能を有している。

なお、画素駆動回路の具体回路例や回路動作については後述する。また、本発明に係る表示装置においては、画素駆動回路により発光制御される発光素子として、従来技術においても説明した有機EL素子や発光ダイオード等を良好に適用することができる。

【0141】

（走査ドライバ）

走査ドライバ120は、システムコントローラ150から供給される走査制御信号に基づいて、各走査ラインSLにハイレベルの走査信号Vselを順次印加することにより、各行ごとの表示画素を選択状態とし、データドライバ130によりデータラインDLを介して供給された表示データに基づく階調電流I_{pix}を表示画素に書き込むように制御する。

【0142】

走査ドライバ120は、具体的には、図15に示すように、シフトレジスタとバッファからなるシフトブロックSB1、SB2、・・・を、各走査ラインSLごとに対応して複数段備え、システムコントローラから供給される走査制御信号（走査スタート信号SSTR、走査クロック信号SCLK等）に基づいて、シフトレジスタにより表示パネル110の上方から下方に順次シフトしつつ生成されたシフト出力が、バッファを介して所定の電圧レベル（ハイレベル）を有する走査信号Vselとして各走査ラインSLに印加される。

【0143】

（データドライバ）

データドライバ130は、システムコントローラ150から供給される各種データ制御信号（出力イネーブル信号OE、データラッチ信号STB、サンプリングスタート信号STR、シフトクロック信号CLK等）に基づいて、表示信号生成回路160から供給される表示データを所定のタイミングで取り込んで保持し、該表示データに対応する階調電圧（デジタル入力信号）を電流成分に変換して、所定のタイミングで階調電流I_{pix}（アナログ出力信号）として各データラインDLに供給する。

【0144】

ここで、データドライバ130は、具体的には、上述した第1乃至第4、又は、第7乃至第9の実施形態に示した電流駆動装置の構成のいずれかを適用することができる。

具体的には、第1乃至第4の実施形態に示した電流駆動装置を適用する場合にあっては、表示信号生成回路により映像信号に基づいて生成されたデジタル信号からなる表示データに基づいて、単一の電流発生回路において発光素子の輝度階

調に応じた所定の電流を生成し、該電流を各ドライバチップに設けられた複数の出力端子に対応する各電流記憶回路に順次取り込んで保持し、その後、所定のタイミングで該保持された電流を階調電流（負荷駆動電流）として、各出力端子を介して表示パネルに配設された各データラインへ一斉に出力する。

【0145】

また、第7乃至第9の実施形態に示した電流駆動装置を適用する場合にあっては、単一の基準電流発生回路により、予め電流値が重み付けされて生成された複数の基準電流を、各ドライバチップに設けられた基準電流記憶回路に個別に取り込んで保持し、上記デジタル信号からなる表示データに基づいて、任意の基準電流を選択して合成した電流を、発光素子の輝度階調に応じた階調電流（負荷駆動電流）として各出力端子を介して表示パネルに配設された各データラインへ一斉に出力する。

【0146】

ここで、上述した各実施形態に係る電流駆動装置においては、負極性の電流成分が生成されて階調電流としてデータラインに供給されるので、上記階調電流に相当する電流が、データライン（表示パネル）側から出力端子を介してデータドライバ（電流駆動装置）方向に、引き込まれるように流下する。したがって、本実施形態に係る表示装置においては、発光素子が配置された各表示画素に、後述するような電流書き込み型の画素駆動回路が設けられた構成を有する表示パネルに良好に適用することができる。

【0147】

（システムコントローラ）

システムコントローラ150は、走査ドライバ120及びデータドライバ130、電源ドライバ140の各々に対して、動作状態を制御する走査制御信号及びデータ制御信号（上述した走査シフトスタート信号SSTRや走査クロック信号SCLK、シフトスタート信号STRやシフトクロック信号CLK、ラッチ信号STB、出力イネーブル信号OE等）、電源制御信号（後述する電源スタート信号VSTR、電源クロック信号VCLK等）を出力することにより、各ドライバを所定のタイミングで動作させて走査信号Vsel及び階調電流Ipix、電源電圧V

scを生成、出力させ、後述する画素駆動回路における駆動制御動作（表示装置の駆動制御方法）を実行させて、所定の映像信号に基づく画像情報を表示パネル110に表示させる制御を行う。なお、システムコントローラ150は、上述した各実施形態に係る電流駆動装置に示した制御部を構成する。

【0148】

（電源ドライバ）

電源ドライバ140は、システムコントローラ150から供給される電源制御信号に基づいて、上記走査ドライバ120により各行ごとの表示画素群が選択状態に設定されるタイミングに同期して、電源ラインVLにローレベルの電源電圧Vsc1（例えば、接地電位以下の電圧レベル）を印加することにより、電源ラインVLから表示画素（画素駆動回路）を介してデータドライバ130方向に、表示データに基づく階調電流I_{pix}に対応する書込電流（シンク電流）を引き込み、一方、走査ドライバ120により各行ごとの表示画素群が非選択状態に設定されるタイミングに同期して、電源ラインVLにハイレベルの電源電圧Vschを印加することにより、電源ラインVLから表示画素（画素駆動回路）を介して有機EL素子OEL方向に、表示データに基づく階調電流I_{pix}に対応する駆動電流を流すように制御する。

【0149】

電源ドライバ140は、図15に示すように、概略、上述した走査ドライバ120と同様に、シフトレジスタとバッファからなるシフトブロックSB1、SB2、・・・を、各電源ラインVLごとに対応して複数段備え、システムコントローラから供給される走査制御信号と同期する電源制御信号（電源スタート信号VSTR、電源クロック信号VCLK等）に基づいて、シフトレジスタにより表示パネル110の上方から下方に順次シフトしつつ生成されたシフト出力が、バッファを介して所定の電圧レベル（走査ドライバによる選択状態においてはローレベル、非選択状態においてはハイレベル）を有する電源電圧Vsc1、Vschとして各電源ラインVLに印加される。

【0150】

（表示信号生成回路）

表示信号生成回路 160 は、例えば、表示装置の外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル 110 の 1 行分ごとに表示データとしてデータドライバ 130 のデータレジスタ回路 132 に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路 160 は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ 150 に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ 150 は、表示信号生成回路 160 から供給されるタイミング信号に基づいて、走査ドライバ 120 やデータドライバ 130、電源ドライバ 140 に対して供給する走査制御信号及びデータ制御信号、電源制御信号を生成する。

【0151】

なお、本実施形態においては、表示パネル 110 の周辺に付設されるドライバとして、図 14 及び図 15 に示すように、走査ドライバ 120、データドライバ 130 及び電源ドライバ 140 を個別に配置した構成について説明したが、本発明はこれに限定されるものではなく、上述したように、走査ドライバ 120 及び電源ドライバ 140 は、タイミングが同期する同等の制御信号（走査制御信号及び電源制御信号）に基づいて動作するので、例えば、図 16 に示すように、走査ドライバ 120 A に、走査信号の生成、出力タイミングに同期して電源電圧 V_{sc} を供給する機能を有するように構成したものであってもよい。このような構成によれば、周辺回路の構成を簡素化することができる。

【0152】

（表示画素：画素駆動回路）

次いで、上述した表示画素に適用される画素駆動回路の具体例について、図面を参照して説明する。

まず、本実施形態に係る表示装置に適用可能な画素駆動回路の基本構成及びその動作について説明する。

図 17 は、本発明に係る表示装置に適用可能な画素駆動回路の基本構成の一例を示す回路構成図であり、図 18 は、本実施形態に適用可能な画素駆動回路の基

本動作を示す概念図である。図 19 は、本実施形態に係る表示装置における画像情報の表示タイミングを示すタイミングチャートである。

【0153】

基本構成に係る画素駆動回路 DCx は、例えば、図 17 に示すように、表示パネル 110 に相互に直交するように配設された走査ライン SL とデータライン DL との各交点近傍に、ゲート端子が走査ライン SL に、ソース端子が電源ライン VL に、ドレイン端子が接点 N1 に各々接続された NMOS 薄膜トランジスタ Tr1 と、ゲート端子が走査ライン SL に、ソース端子及びドレイン端子がデータライン DL 及び接点 N2 に各々接続された NMOS 薄膜トランジスタ Tr2 と、ゲート端子が接点 N1 に、ソース端子及びドレイン端子が電源ライン VL 及び接点 N2 に各々接続された NMOS 薄膜トランジスタ Tr3 と、接点 N1 及び接点 N2 間に接続されたコンデンサ Cs と、を備えた構成を有し、有機 EL 素子 OEL のアノード端子が接点 N2 に、カソード端子が接地電位に各々接続されている。ここで、コンデンサ Cs は、薄膜トランジスタ Tr3 のゲートーソース間に形成される寄生容量であってもよい。

【0154】

このような構成を有する画素駆動回路における発光素子（有機 EL 素子）の発光駆動制御は、例えば、図 19 に示すように、一走査期間 Tsc を 1 サイクルとして、該一走査期間 Tsc 内に、特定の走査ラインに接続された表示画素群を選択して表示データに対応する信号電流を書き込み、信号電圧として保持する書込動作期間（又は、表示画素の選択期間）Tse と、該書込動作期間 Tse に書き込み、保持された信号電圧に基づいて、上記表示データに応じた駆動電流を有機 EL 素子に供給して、所定の輝度階調で発光動作させる発光動作期間（又は、表示画素の非選択期間）Tnse と、を設定することにより実行される（ $T_{sc} = T_{se} + T_{nse}$ ）。ここで、各行ごとに設定される書込動作期間 Tse は、相互に時間的な重なりが生じないように設定される。

【0155】

（書込動作期間：選択期間）

すなわち、表示画素への書込動作（選択期間 Tse）においては、図 19 に示す

ように、まず、走査ドライバ120から特定の行（ i 行目）の走査ラインSLに対して、ハイレベルの走査信号Vsel（Vslh）が印加されるとともに、電源ドライバ140から当該行（ i 行目）の電源ラインVLに対して、ローレベルの電源電圧Vsc1が印加される。また、このタイミングに同期して、データドライバ130により取り込まれた当該行（ i 行目）の表示データに対応する負極性の階調電流（ $-I_{pix}$ ）が各データラインDLに供給される。

【0156】

これにより、画素駆動回路DCxを構成する薄膜トランジスタTr1及びTr2がオン動作して、ローレベルの電源電圧Vsc1が接点N1（すなわち、薄膜トランジスタTr3のゲート端子及びコンデンサCsの一端）に印加されるとともに、データラインDLを介して負極性の階調電流（ $-I_{pix}$ ）を引き込む動作が行われることにより、ローレベルの電源電圧Vsc1よりも低電位の電圧レベルが接点N2（すなわち、薄膜トランジスタTr3のソース端子及びコンデンサCsの他端）に印加される。

【0157】

このように、接点N1及びN2間（薄膜トランジスタTr3のゲートーソース間）に電位差が生じることにより、薄膜トランジスタTr3がオン動作して、図18（a）に示すように、電源ラインVLから薄膜トランジスタTr3、接点N2、薄膜トランジスタTr2、データラインDLを介して、データドライバ130に、階調電流 I_{pix} に対応した書込電流 I_a が流下する。

このとき、コンデンサCsには、接点N1及びN2間（薄膜トランジスタのTr3のゲートーソース間）に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。また、電源ラインVLには、接地電位以下の電圧レベルを有する電源電圧Vsc1が印加され、さらに、書込電流 I_a がデータライン方向に流下するように制御されていることから、有機EL素子OELのアノード端子（接点N2）に印加される電位はカソード端子の電位（接地電位）よりも低くなり、有機EL素子OELに逆バイアス電圧が印加されていることとなるため、有機EL素子OELには駆動電流が流れず、発光動作は行われない。

【0158】

(発光動作期間：非選択期間)

次いで、書込動作期間（選択期間 T_{se} ）終了後の有機 EL 素子の発光動作（非選択期間 T_{nse} ）においては、図 19 に示すように、走査ドライバ 120 から特定の行（ i 行目）の走査ライン SL に対して、ローレベルの走査信号 V_{sel} (V_{s11}) が印加されるとともに、電源ドライバ 140 から当該行（ i 行目）の電源ライン VL に対して、ハイレベルの電源電圧 V_{sch} が印加される。また、このタイミングに同期して、データドライバ 130 による階調電流の引き込み動作が停止される。

【0159】

これにより、画素駆動回路 DC_x を構成する薄膜トランジスタ Tr_1 及び Tr_2 がオフ動作して、接点 N_1 （すなわち、薄膜トランジスタ Tr_3 のゲート端子及びコンデンサ C_s の一端）への電源電圧 V_{sc} の印加が遮断されるとともに、接点 N_2 （すなわち、薄膜トランジスタ Tr_3 のソース端子及びコンデンサ C_s の他端）へのデータドライバ 130 による階調電流の引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサ C_s は、上述した書込動作において蓄積された電荷を保持する。

【0160】

このように、コンデンサ C_s が書込動作時の充電電圧を保持することにより、接点 N_1 及び N_2 間（薄膜トランジスタの Tr_3 のゲートーソース間）の電位差が保持されることになり、薄膜トランジスタ Tr_3 はオン状態を維持する。また、電源ライン VL には、接地電位よりも高い電圧レベルを有する電源電圧 V_{sch} が印加されるので、有機 EL 素子 OEL のアノード端子（接点 N_2 ）に印加される電位はカソード端子の電位（接地電位）よりも高くなる。

【0161】

したがって、図 18 (b) に示すように、電源ライン VL から薄膜トランジスタ Tr_3 、接点 N_2 を介して、有機 EL 素子 OEL に順バイアス方向に所定の駆動電流 I_b が流れ、有機 EL 素子 OEL が発光する。ここで、コンデンサ C_s により保持される電位差（充電電圧）は、薄膜トランジスタ Tr_3 において階調電流 I_{pix} に対応した書込電流 I_a を流下させる場合の電位差に相当するので、有

機 E L 素子 O E L に流下する駆動電流 I_b は、上記書込電流 I_a と同等の電流値を有することになる。これにより、選択期間 T_{se} 後の非選択期間 T_{nse} においては、選択期間 T_{se} に書き込まれた表示データ（階調電流）に対応する電圧成分に基づいて、薄膜トランジスタ T_{r3} を介して、駆動電流が継続的に供給されることになり、有機 E L 素子 O E L は表示データに対応する輝度階調で発光する動作を継続する。

【0162】

そして、上述した一連の動作を、図 19 に示すように、表示パネルを構成する全ての行の表示画素群について順次繰り返して実行することにより、表示パネル 1 画面分の表示データが書き込まれて、所定の輝度階調で発光し、所望の画像情報が表示される。

ここで、本実施形態に係る画素駆動回路に適用される薄膜トランジスタ T_{r1} ~ T_{r3} については、特に限定するものではないが、薄膜トランジスタ T_{r1} ~ T_{r3} は全て n チャネル型トランジスタにて構成することができるため、n チャネル型アモルファスシリコン T F T を良好に適用することができる。その場合、すでに確立された製造技術を適用して、動作特性の安定した画素駆動回路を比較的安価に製造することができる。

【0163】

また、上述したような回路構成を有する画素駆動回路によれば、表示画質の高精細化に伴って、表示データの書込動作を行う際の各表示画素（各行ごと）の選択時間が短く設定された場合であっても、表示データの輝度階調に応じた比較的大きな電流値を有する階調電流をデータドライバにより引き込むように流下させて、発光素子を発光動作させるための発光制御トランジスタのゲートソース間に付設されたコンデンサ C_s （薄膜トランジスタ T_{r3} の寄生容量）に階調電流に対応した電圧を良好に充電する（書き込む）ことができるので、表示データの書き込み速度を向上させて表示応答特性の改善を図ることができる。

【0164】

したがって、表示パネルの大画面化や、表示画質の高精細化を図ることにより、表示パネルの接続端子数（すなわち、データドライバの出力端子数）が大幅に

増加した場合であっても、出力端子間及び信号ドライバチップ間の出力電流（階調電流）のバラツキを抑制して表示ムラの発生等を抑制することができるとともに、より少ない端子数及び簡易な回路構成の信号ドライバで良好な階調表示を実現することができる表示装置を提供することができる。

【0165】

図20は、本発明に係る表示装置の他の例の要部構成を示す概略ブロック図である。

上述した実施形態においては、表示パネルの各表示画素に画素駆動回路を備えたアクティブマトリクス型の駆動方式を採用した表示装置（表示パネル）を示したが、本発明はこれに限定されるものではなく、図20に示すように、データドライバ130Bから延伸するデータラインDLと走査ドライバ120Bから延伸する走査ラインSLの交点に、例えば、アノード及びカソードを各々走査ライン及びデータラインに接続した発光ダイオード等の発光素子LEDを配置した単純マトリクス（パッシブマトリクス）型の表示パネルを採用した表示装置であっても良好に適用することができることはいうまでもない。

この場合、各発光素子に対して、表示データに対応した所定の電流値を有する発光駆動電流を個別に供給することにより、階調制御を行うことができるので、画像情報の表示速度の高速化を図りつつ、良好な多階調表示を実現することができる。

【0166】

また、図20に示した単純マトリクス型の表示パネルを採用した表示装置にあつては、データドライバ130Bとして、上述した第1乃至第9の実施形態に示した電流駆動装置の構成のいずれかを適用することができる。

具体的には、単一の電流発生回路において、所定の一定の電流値を有する電流を生成し、該電流を各ドライバチップの複数の出力端子に対応して設けられた各電流記憶回路に順次取り込んで保持し、周知のパルス幅変調（PWM）駆動方式を適用して、所定の表示期間に、デジタル信号からなる表示データに基づく個別の供給時間（パルス幅）で、該保持された電流を各出力端子を介して表示パネルに配設された各データラインへ一斉に出力する。これにより、各発光素子を表示

データに対応した所定の輝度階調で発光動作させることができるので、画像情報を良好に多階調表示することができる。

【0167】

なお、上述した表示装置の実施形態においては、表示パネルの各表示画素に備えられる画素駆動回路として3個の薄膜トランジスタを備えた回路構成を示して説明したが、本発明はこの実施形態に限定されるものではなく、例えば、4個の薄膜トランジスタを備えた回路構成を有するものであってもよく、更には、上述の実施形態のデータラインから階調電流を引き込む形態の電流指定方式に限らず、データラインから階調電流を印加する形態をも含む、電流指定方式を適用した画素駆動回路を備えた表示装置であって、発光素子への駆動電流の供給を制御する発光制御トランジスタ、及び、階調電流の書込動作を制御する書込制御トランジスタを有し、表示データに応じた書込電流を保持した後、該書込電流に基づいて、上記発光制御トランジスタをオン動作させて駆動電流を供給して、発光素子を所定の輝度階調で発光させるものであれば、他の回路構成を有するものであってもよい。

【0168】

また、各表示画素に配置される発光素子についても特に限定しないが、供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作するものであれば、上述した有機EL素子や発光ダイオード以外の他の発光素子であってもよい。

なお、上記においては、本発明に係わる電流駆動装置を表示装置の表示駆動回路に適用した場合について説明したが、本発明の電流駆動装置はこのような表示駆動装置に限るものではなく、例えば発光ダイオードを多数配列して形成されるプリンタヘッドの駆動回路等、電流印加によって駆動する素子を多数備えるデバイスの駆動回路に好適に適用できるものである。

【0169】

【発明の効果】

以上説明したように、第1の発明に係る電流駆動装置及びその駆動方法によれば、複数配列された発光素子等の複数の負荷の各々に対して、指定した所定の電流値又は同一の電流値を有する駆動電流を供給することにより、各負荷を所定の

輝度階調等の駆動状態で動作させる電流駆動装置において、唯一の電流発生手段により、上記負荷の駆動状態を制御するための所定の電流値を有する電流が生成、出力され、例えば、複数の半導体チップに個別に形成された複数の電流記憶手段に共通に供給されて、所定のタイミングで順次取り込み保持されるので、各半導体チップの各電流記憶手段に、単一の電流源から供給される均一な電流特性を有する電流が保持される。したがって、比較的簡易な装置構成により、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキ（出力特性のバラツキ）を小さく抑制することができる。

【0170】

また、第1の発明に係る電流駆動装置を表示装置の信号駆動回路（データドライバ）に適用することにより、各ドライバチップ（半導体チップ）間、及び、同一のドライバチップに設けられる出力端子間における駆動電流のバラツキを小さく抑制して、表示ムラの発生を抑制することができるとともに、各表示画素への書き込みサイクルを短縮して、表示画質の向上を図ることができる。

また、表示パネルの高精細化や大型化に伴って、表示パネルの接続端子数が増加し、ドライバチップ数が増加した場合であっても、単一の電流発生手段により全てのドライバチップの電流記憶手段に対して電流特性が均一な所定の電流値を有する電流を保持させることができるので、各ドライバチップ内の回路構成を簡素化して、装置規模の省スペース化や製品コストの削減を図ることができる。

【0171】

また、第2の発明に係る電流駆動装置及びその駆動方法は、複数配列された発光素子等の複数の負荷の各々に対して、指定した所定の電流値又は同一の電流値を有する駆動電流を供給することにより、各負荷を所定の輝度階調等の駆動状態で動作させる電流駆動装置において、複数の基準電流発生部からなる唯一の基準電流発生手段により生成、出力された複数の基準電流が、例えば、複数の半導体チップに個別に形成された複数の基準電流記憶手段に共通に供給されて個別に保持され、電流生成手段により所定数のデジタル入力信号に基づいて任意の基準電流記憶部を選択して、保持された基準電流を合成することにより、デジタル入力信号に対応したアナログ信号からなる所定の電流を生成して、所定のタイミング

で該電流を駆動電流として、もしくは、保持された電流に基づいて生成される駆動電流を、複数の負荷に一齐に供給することができるので、比較的簡易な装置構成により、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキを抑制することができるとともに、各負荷を入力信号に良好に対応した駆動状態で動作させることができる。

【0172】

したがって、第2の発明に係る電流駆動装置を表示装置の信号駆動回路（データドライバ）に適用することにより、各ドライバチップ（半導体チップ）間、及び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキを抑制して、表示ムラの発生を抑制することができるとともに、所定のデジタル入力信号（表示データ）から良好な多階調表示に対応したアナログ信号（駆動電流）を生成することができるので、階調表示を一層鮮明化することができる表示装置を実現することができる。

【0173】

また、表示パネルの高精細化や大型化に伴って、表示パネルの接続端子数が増加し、ドライバチップ数が増加した場合であっても、単一の基準電流発生手段により全てのドライバチップの基準電流記憶手段に対して所定の重み付けを有する電流値が設定された均一な基準電流を保持させることができるので、各ドライバチップ内の回路構成を簡素化して、装置規模の省スペース化や製品コストの削減を図ることができる。

【図面の簡単な説明】

【図1】

本発明に係る電流駆動装置の第1の実施形態を示す概略構成図である。

【図2】

本実施形態に適用可能な電流発生回路の一具体例を示す回路構成図である。

【図3】

本実施形態に適用可能な電流記憶回路及びスイッチ手段からなる構成の一具体例を示す回路構成図である。

【図4】

本実施形態に適用可能な電流記憶回路における基本動作を示す概念図である。

【図 5】

電流記憶回路における電流成分保持部の動作を説明するための等価回路である。

【図 6】

本発明に係る電流駆動装置の第 2 の実施形態を示す概略構成図である。

【図 7】

本発明に係る電流駆動装置の第 3 の実施形態を示す概略構成図である。

【図 8】

本発明に係る電流駆動装置の第 4 の実施形態を示す概略構成図である。

【図 9】

本発明に係る電流駆動装置の第 5 の実施形態を示す概略構成図である。

【図 10】

本発明に係る電流駆動装置の第 6 の実施形態を示す概略構成図である。

【図 11】

本発明に係る電流駆動装置の第 7 の実施形態を示す概略構成図である。

【図 12】

本発明に係る電流駆動装置の第 8 の実施形態を示す概略構成図である。

【図 13】

本発明に係る電流駆動装置の第 9 の実施形態を示す概略構成図である。

【図 14】

本発明に係る表示装置の全体構成の一例を示す概略ブロック図である。

【図 15】

本実施形態に係る表示装置に適用されるデータドライバの要部構成を示すブロック図である。

【図 16】

本発明に係る表示装置に適用される走査ドライバの他の例を示す概略構成図である。

【図 17】

本発明に係る表示装置に適用可能な画素駆動回路の基本構成を示す回路構成図である。

【図 1 8】

本実施形態に適用可能な画素駆動回路の基本動作を示す概念図である。

【図 1 9】

本実施形態に係る表示装置における画像情報の表示タイミングを示すタイミングチャートである。

【図 2 0】

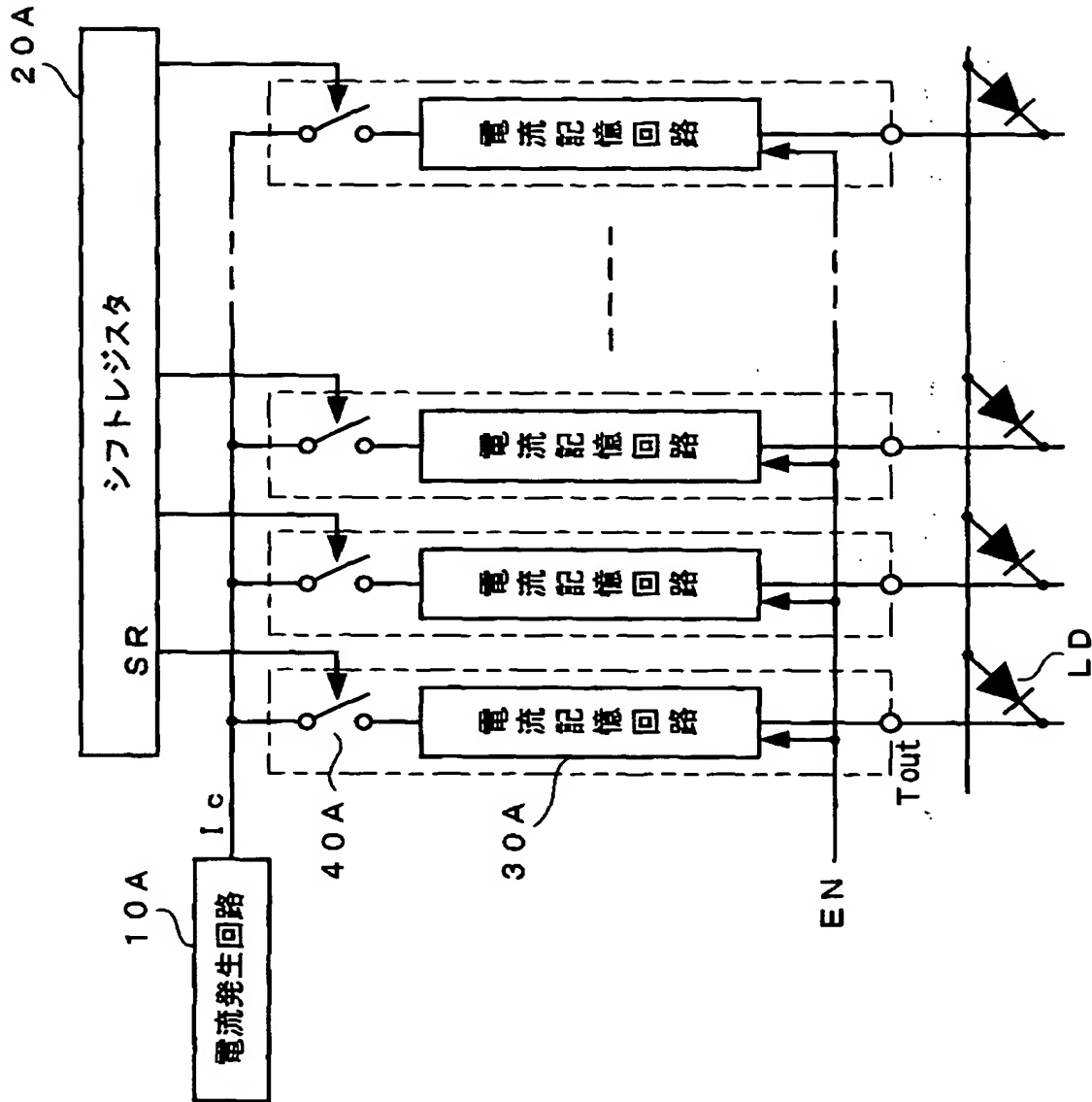
本発明に係る表示装置の他の例の要部構成を示す概略ブロック図である。

【符号の説明】

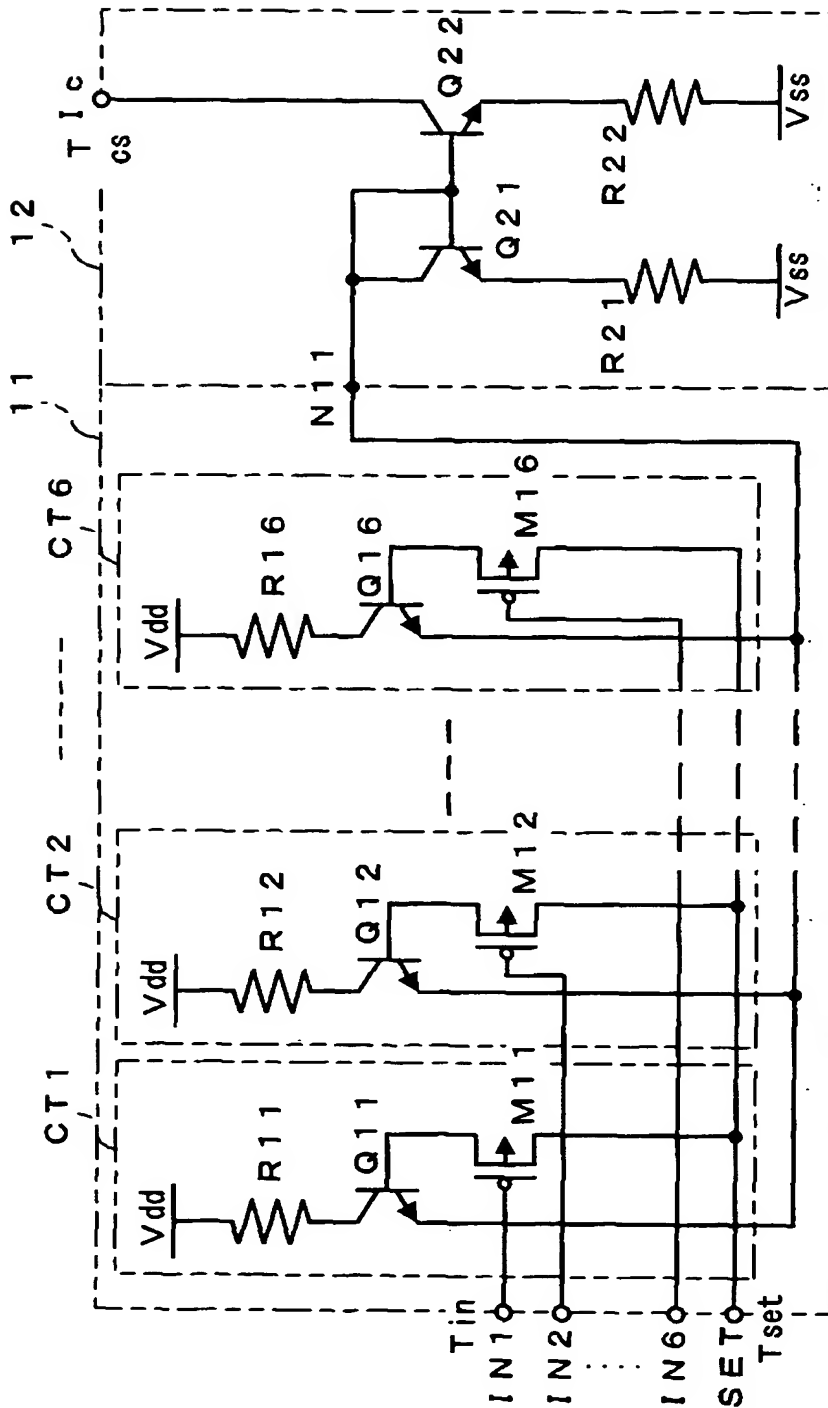
| | |
|-------|------------|
| 1 0 A | 電流発生回路 |
| 1 0 G | 基準電流発生回路 |
| 2 0 A | シフトレジスタ |
| 3 0 A | 電流記憶回路 |
| 4 0 A | スイッチ手段 |
| 9 0 G | 基準電流記憶回路 |
| 1 0 0 | 表示装置 |
| 1 1 0 | 表示パネル |
| 1 2 0 | 走査ドライバ |
| 1 3 0 | データドライバ |
| 1 4 0 | 電源ドライバ |
| 1 5 0 | システムコントローラ |
| 1 6 0 | 表示信号生成回路 |

【書類名】 図面

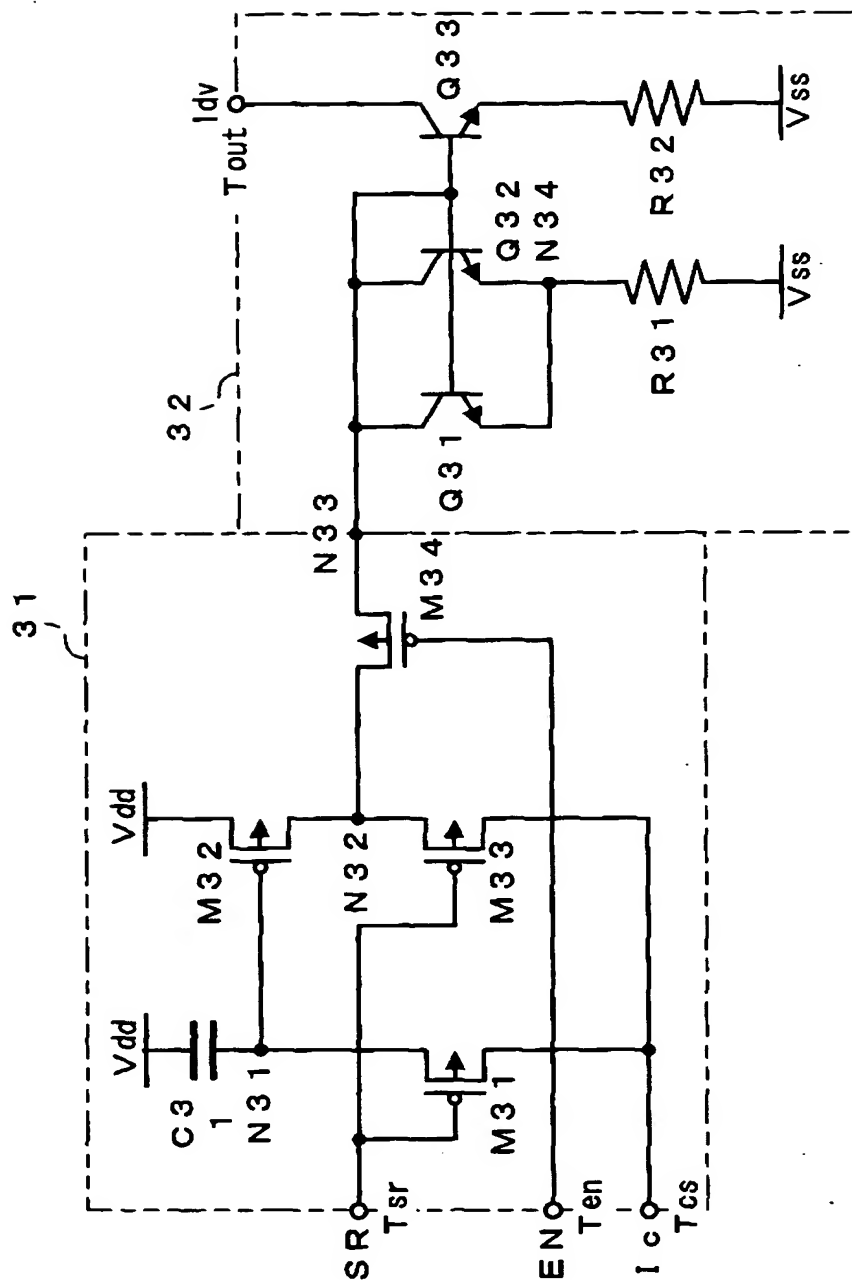
【図 1】



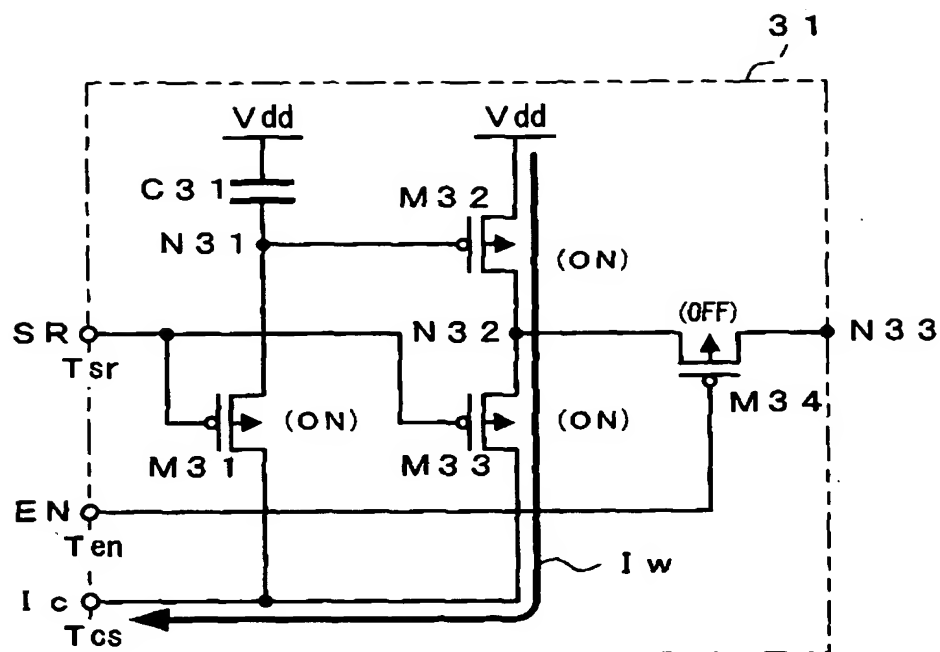
【図 2】



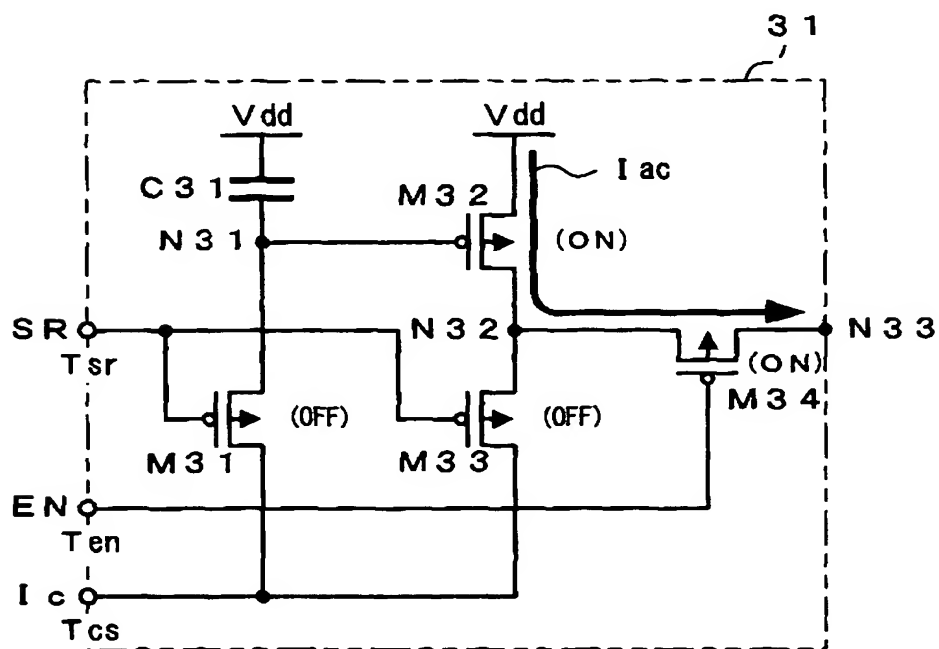
【図 3】



【図 4】

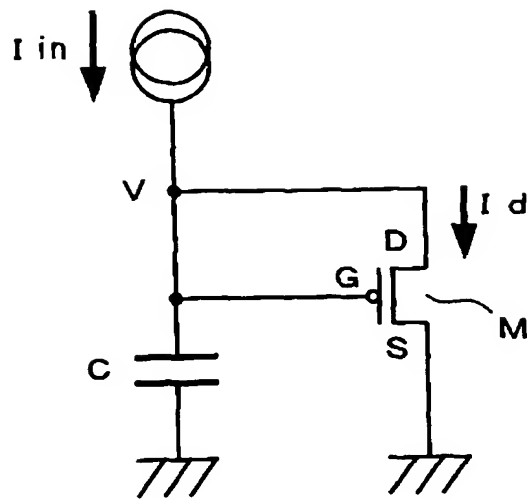


(a)

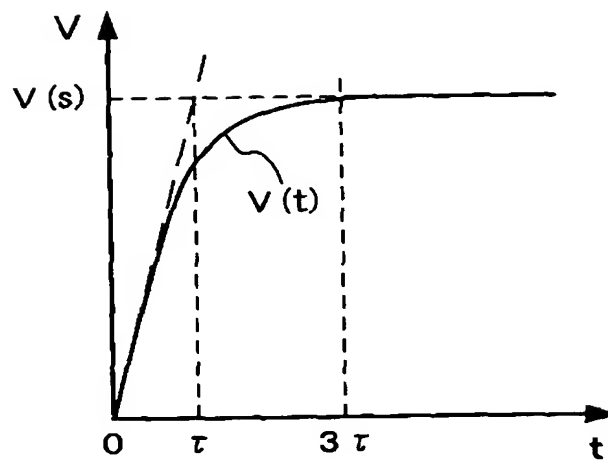


(b)

【図 5】

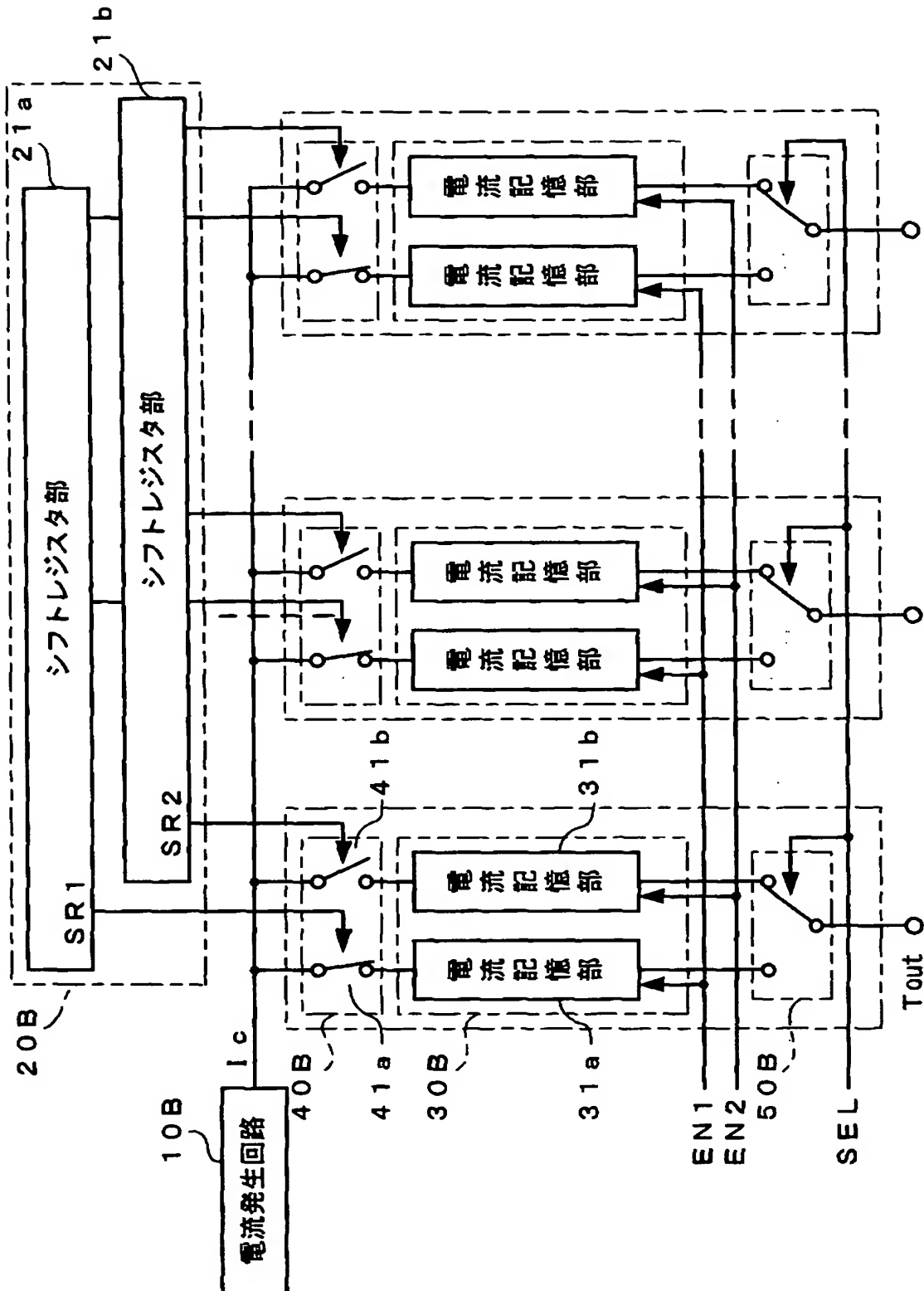


(a)

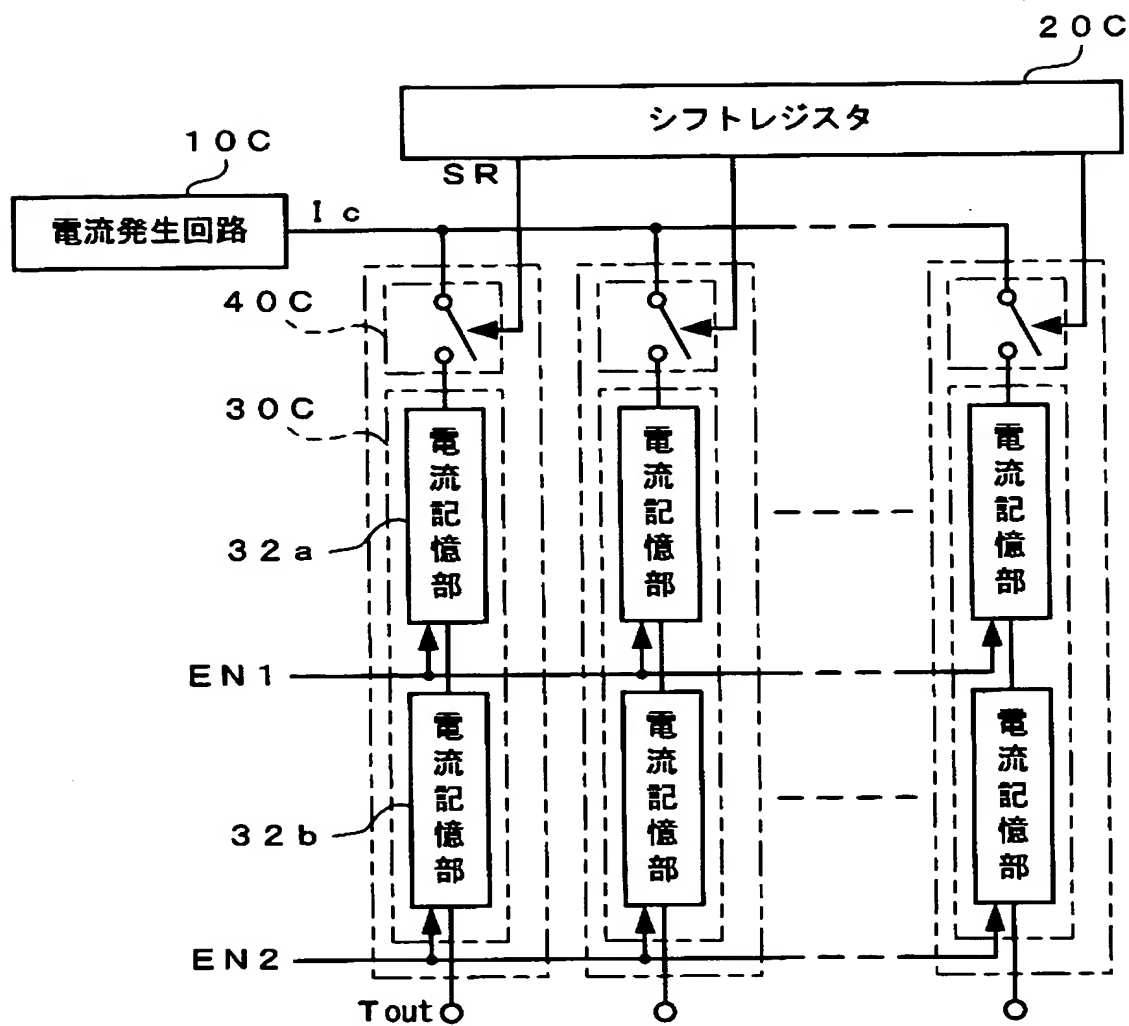


(b)

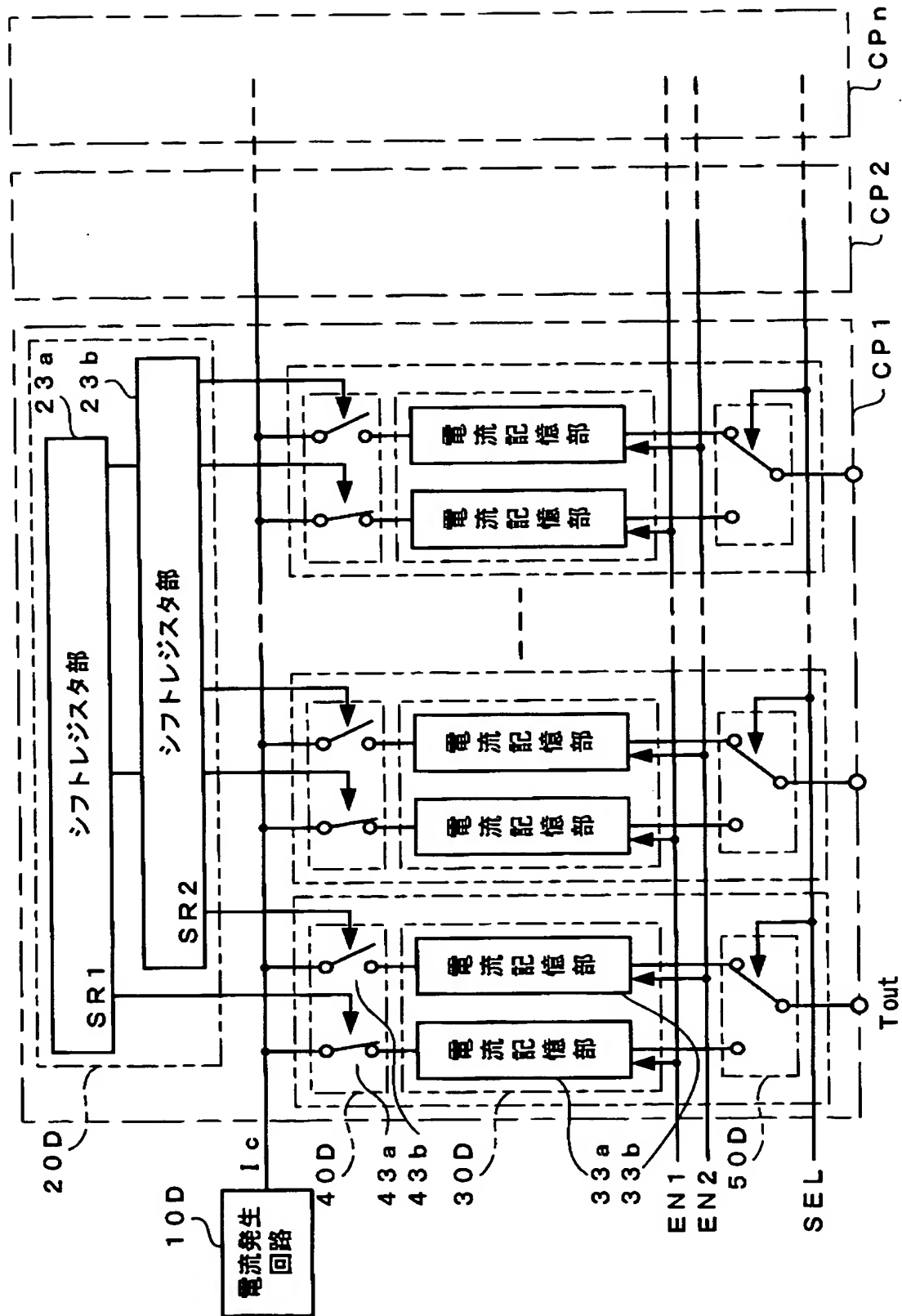
【図 6】



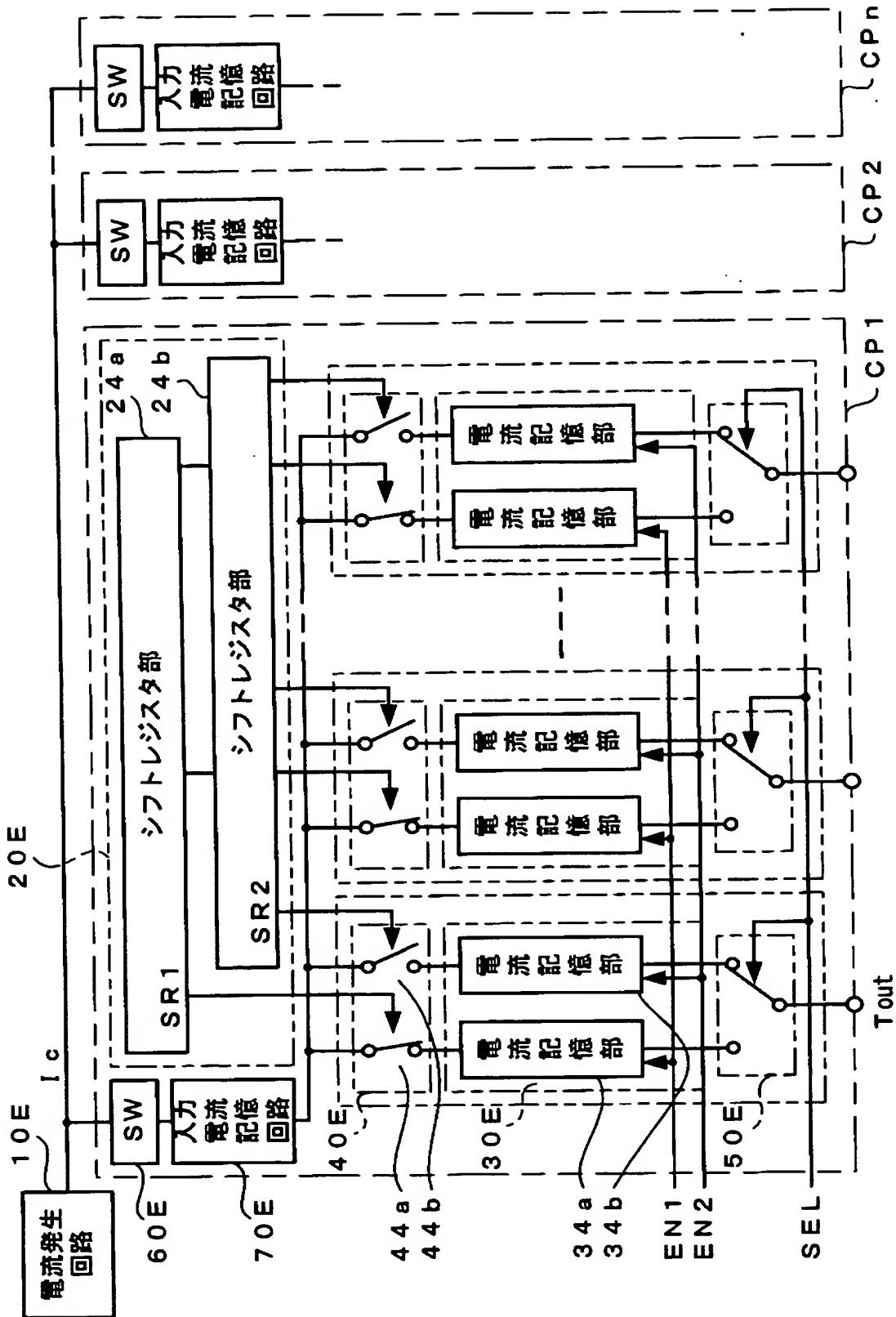
【図 7】



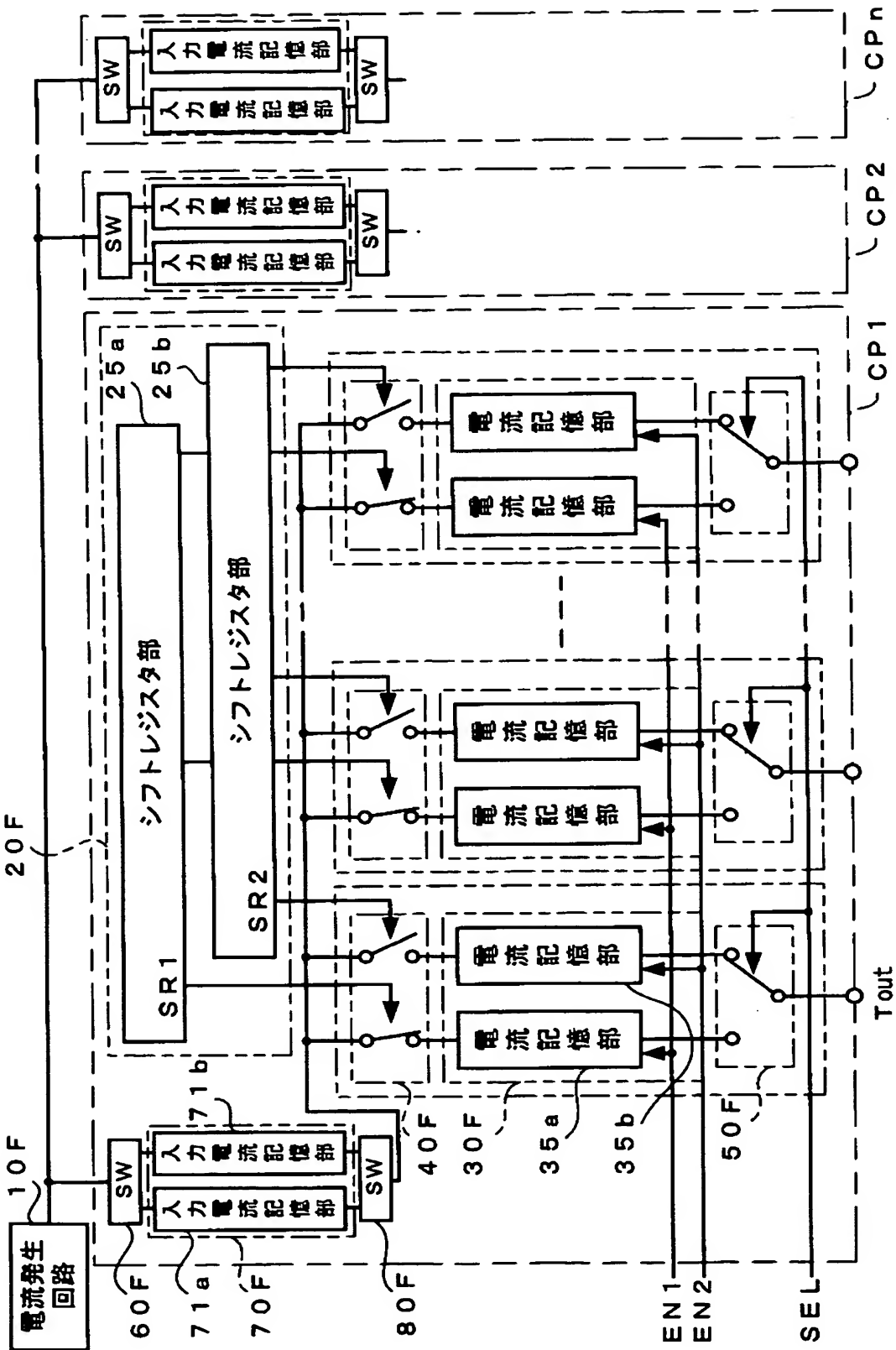
【図8】



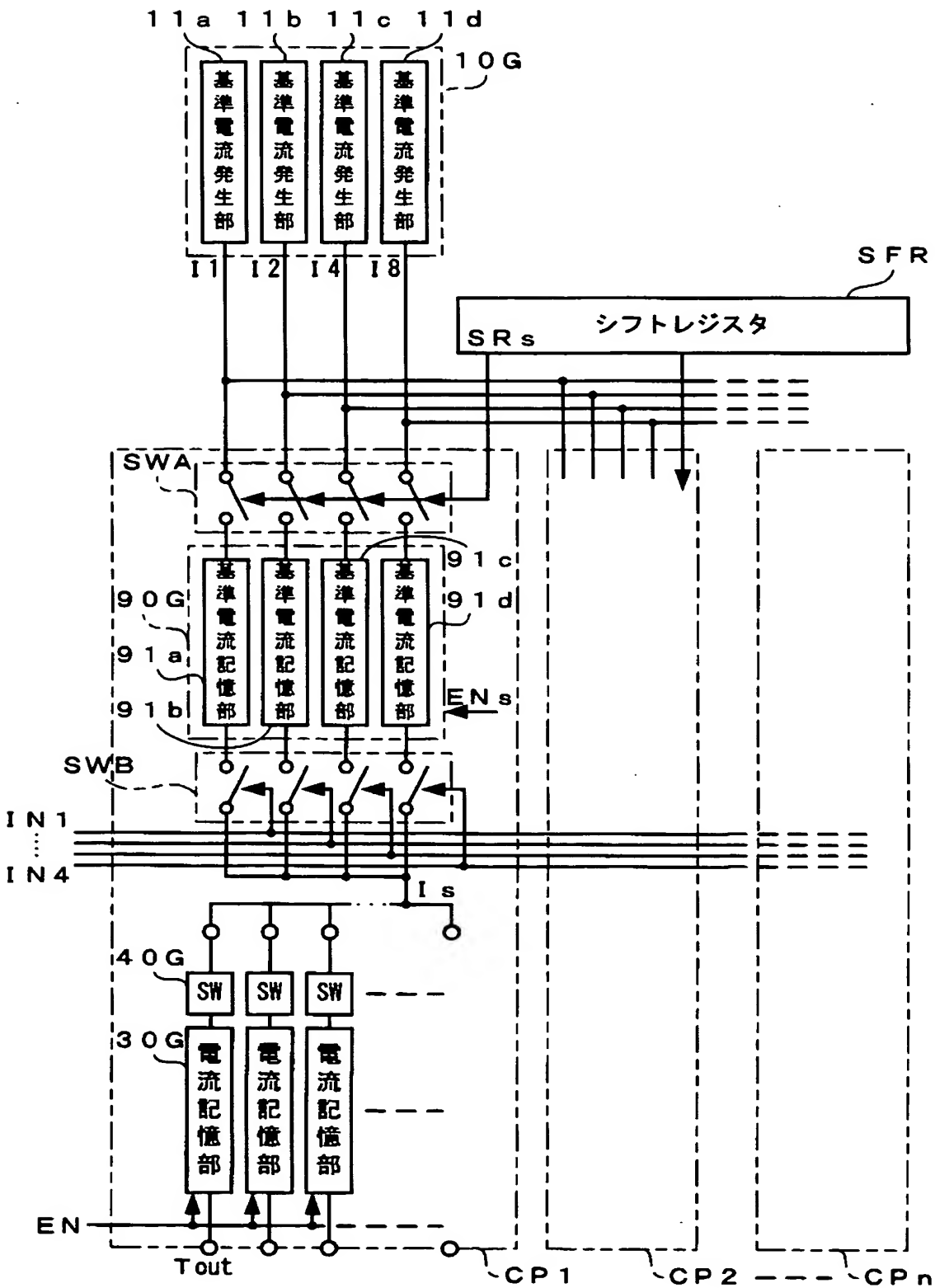
【図 9】



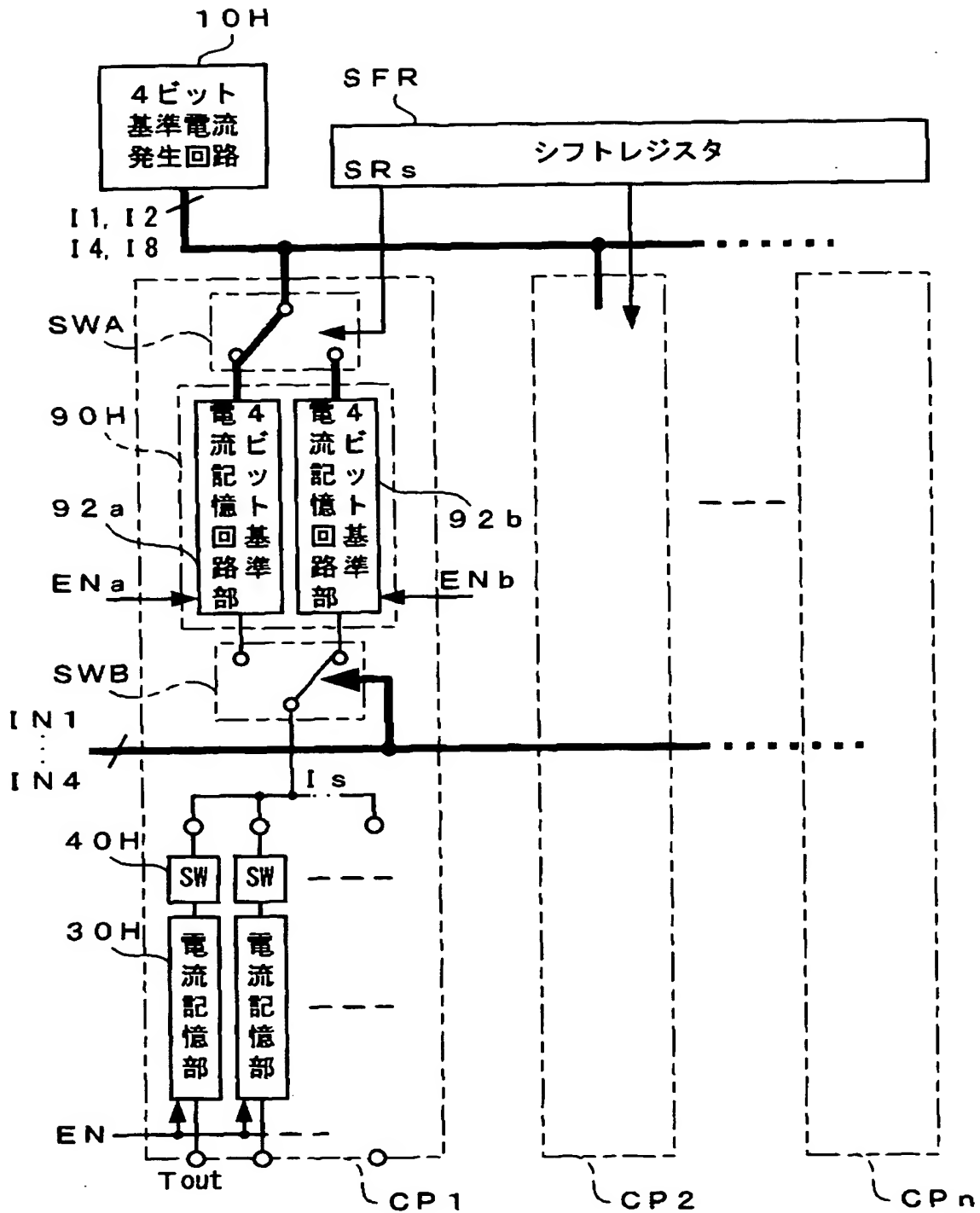
【図 10】



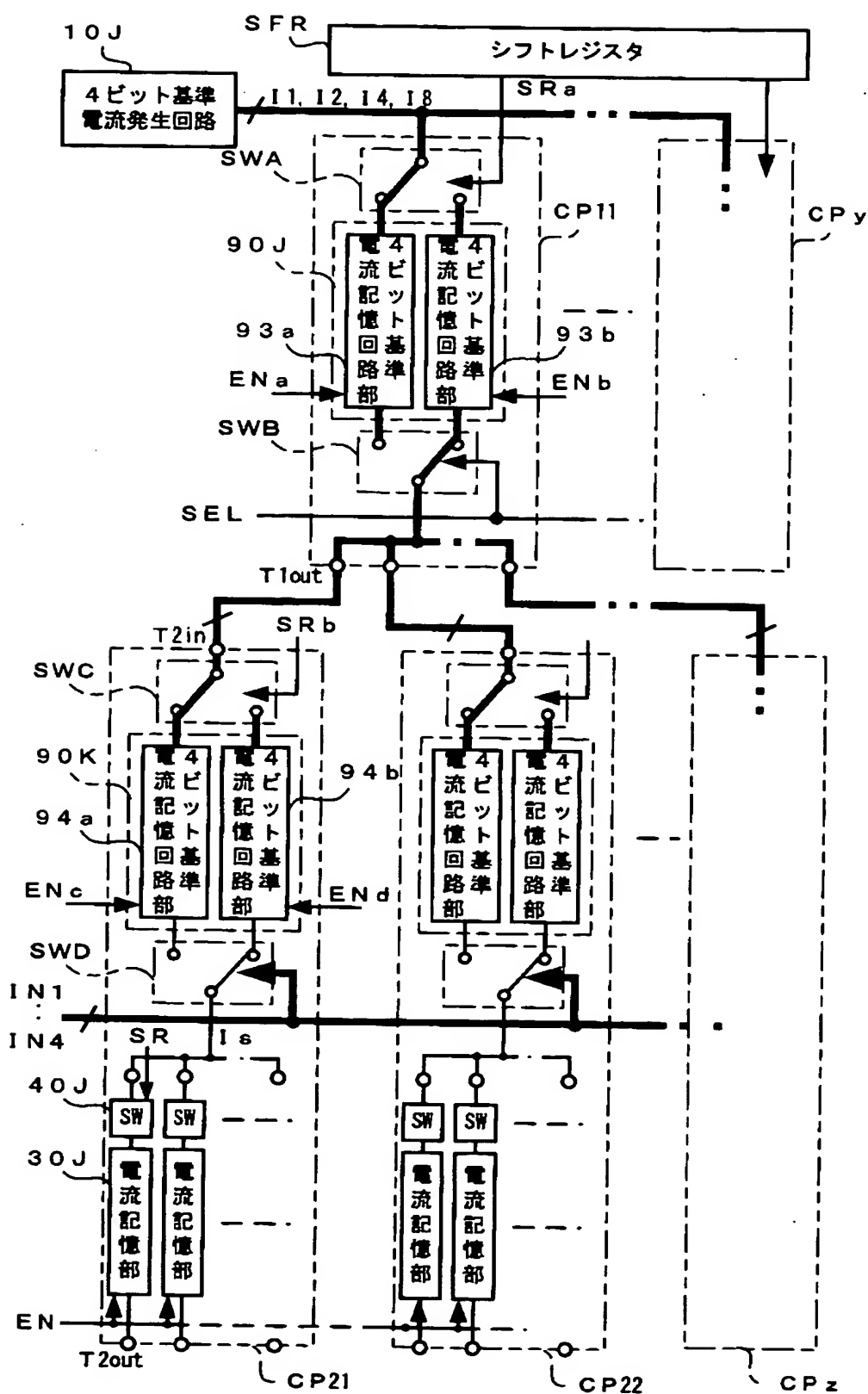
【図11】



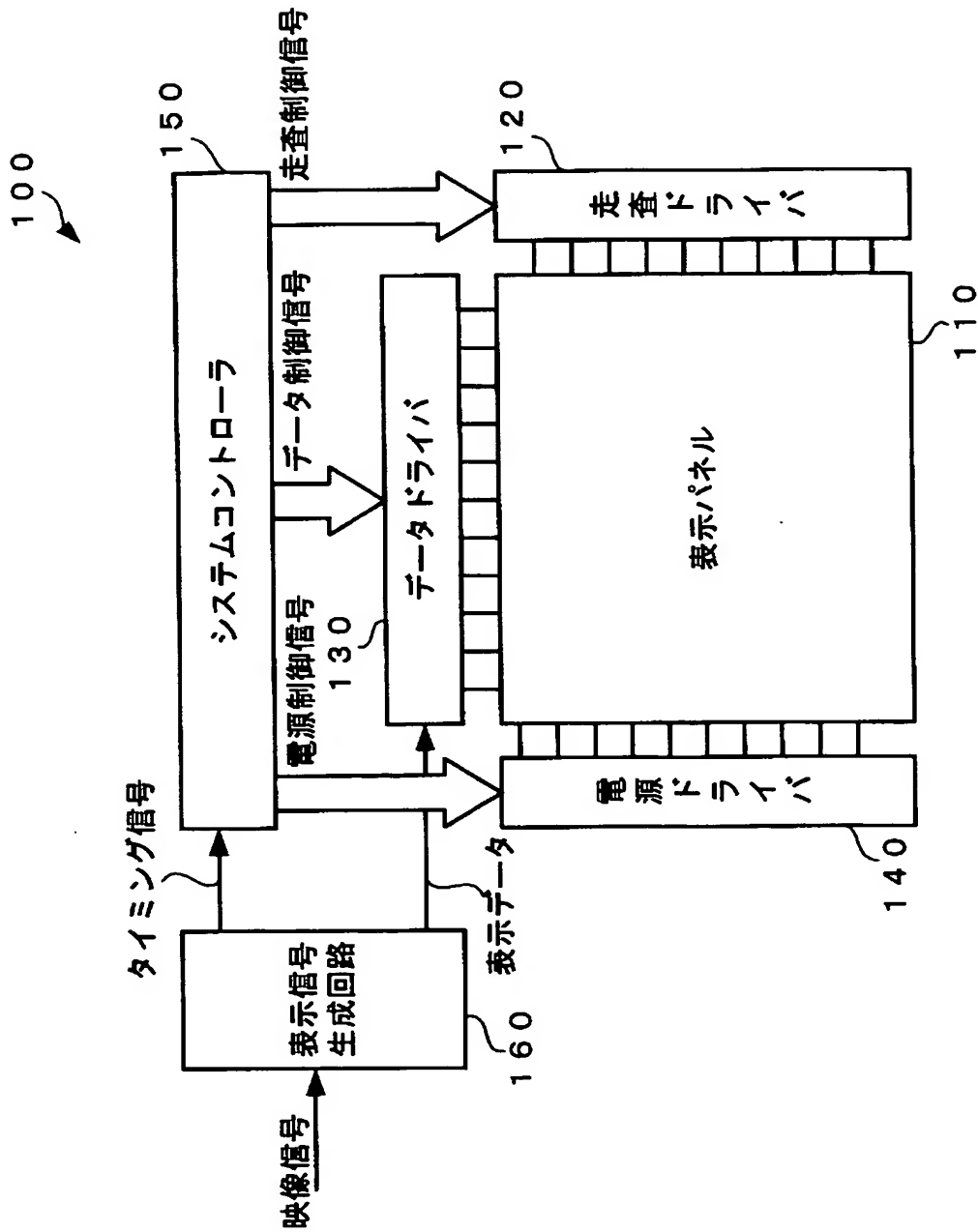
【図12】



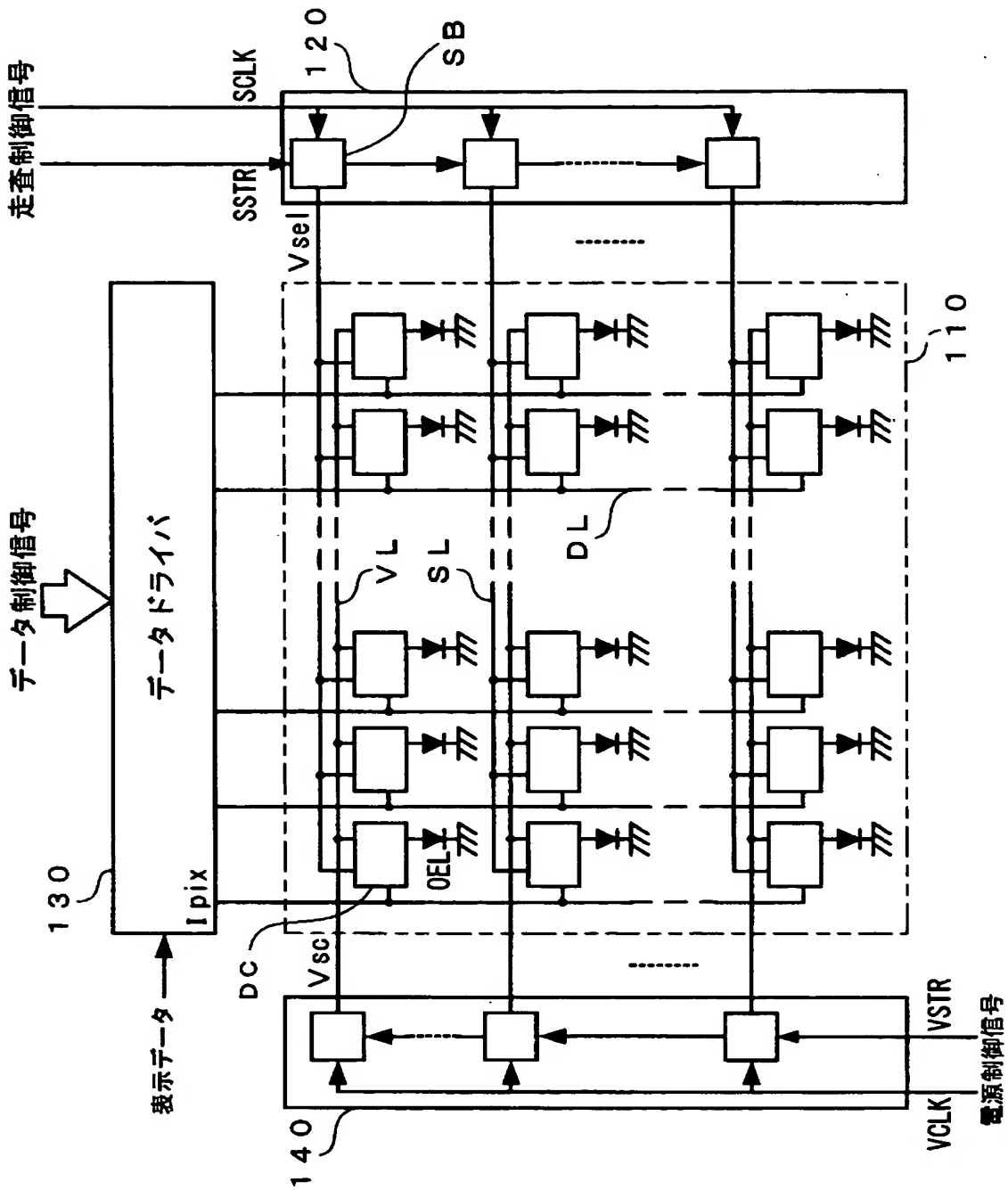
【図13】



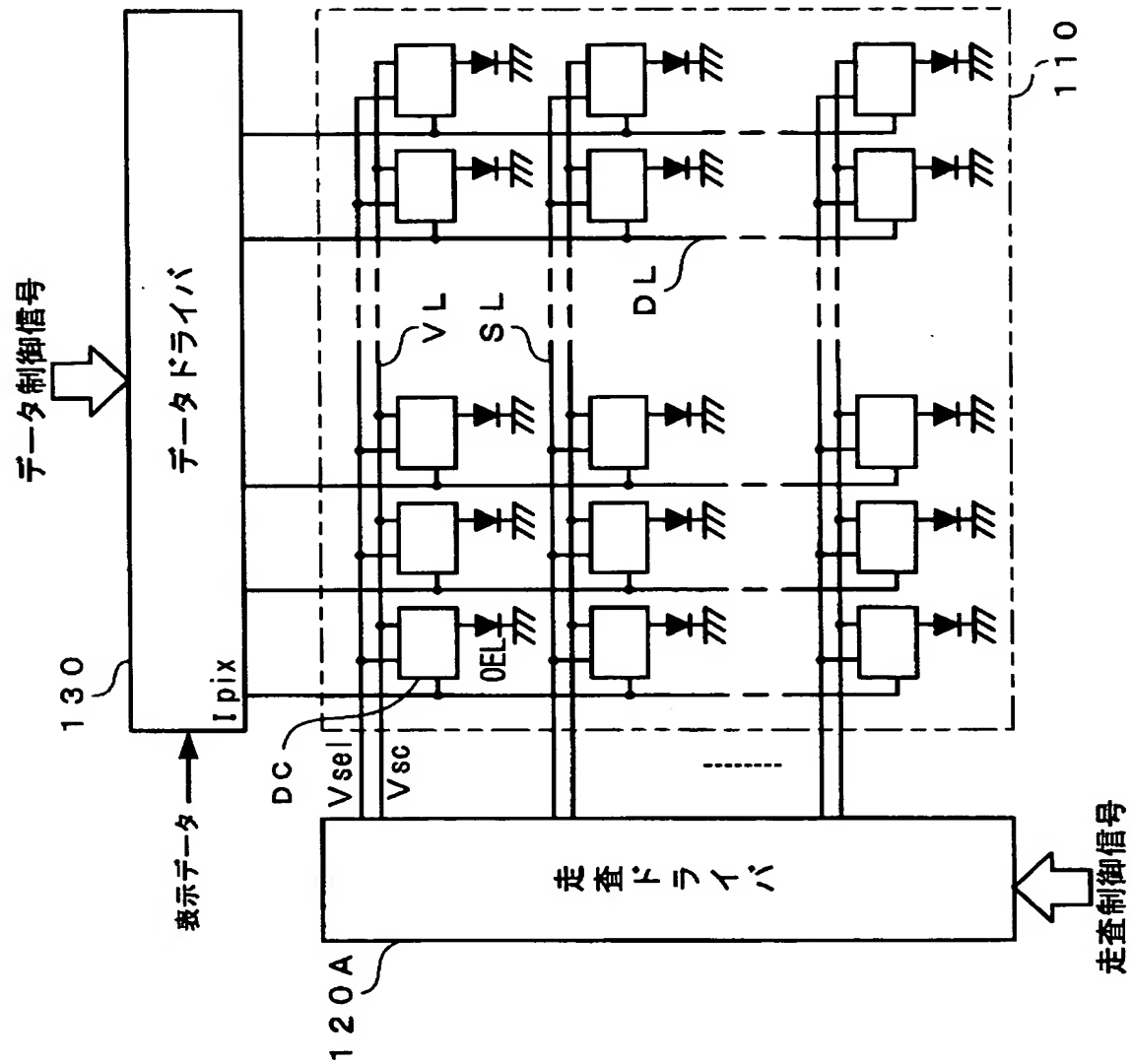
【図 14】



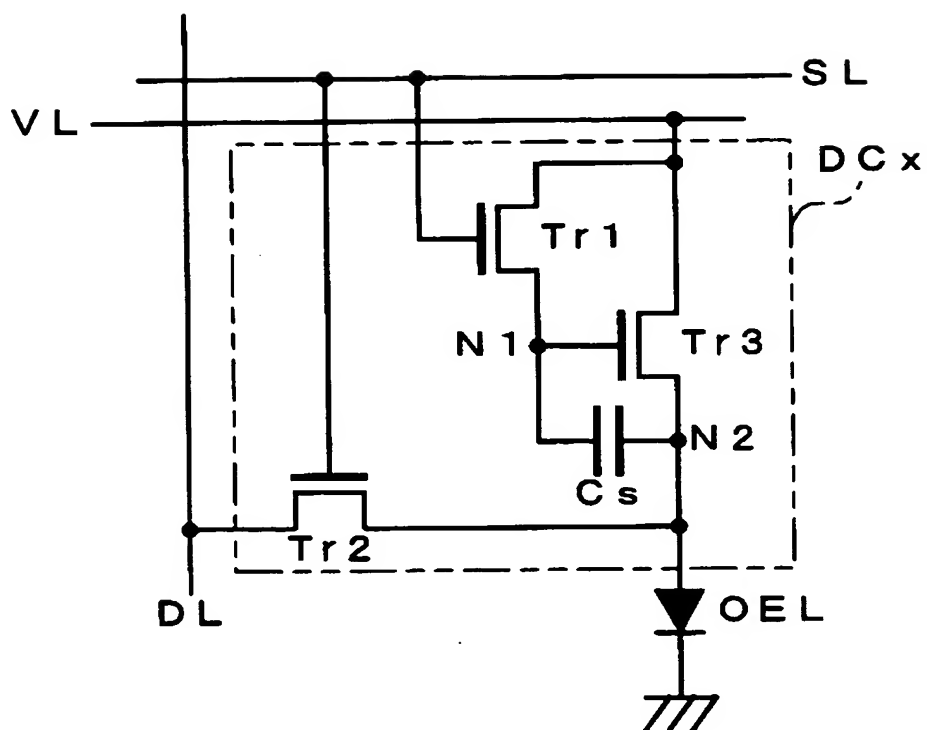
【図 15】



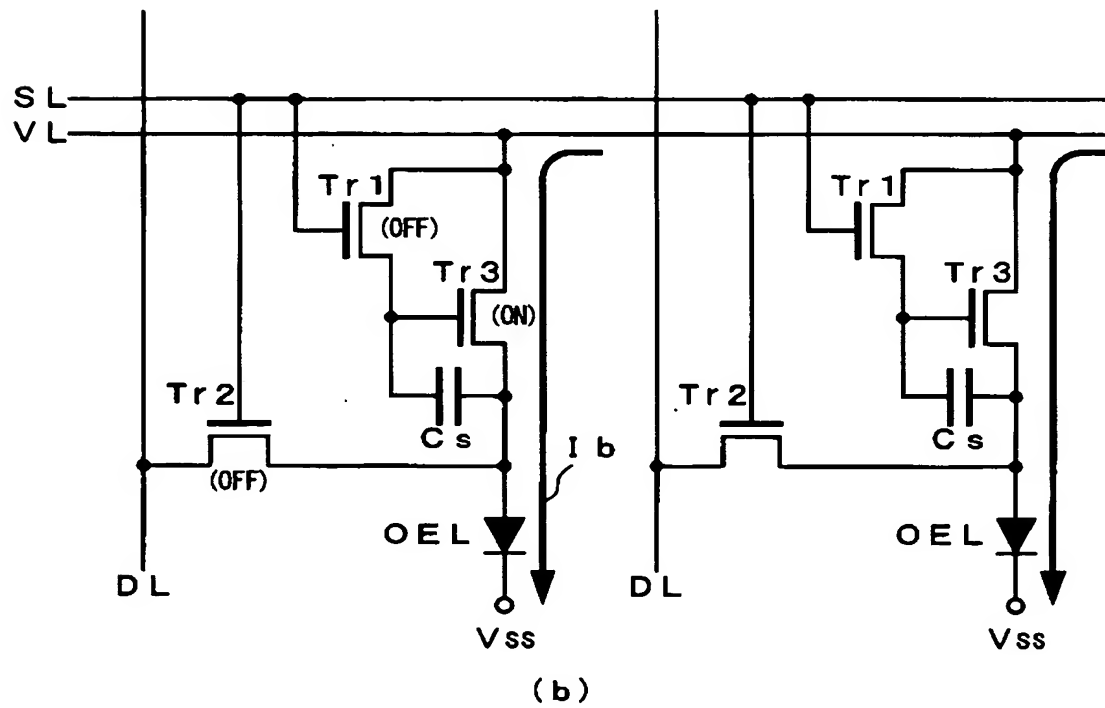
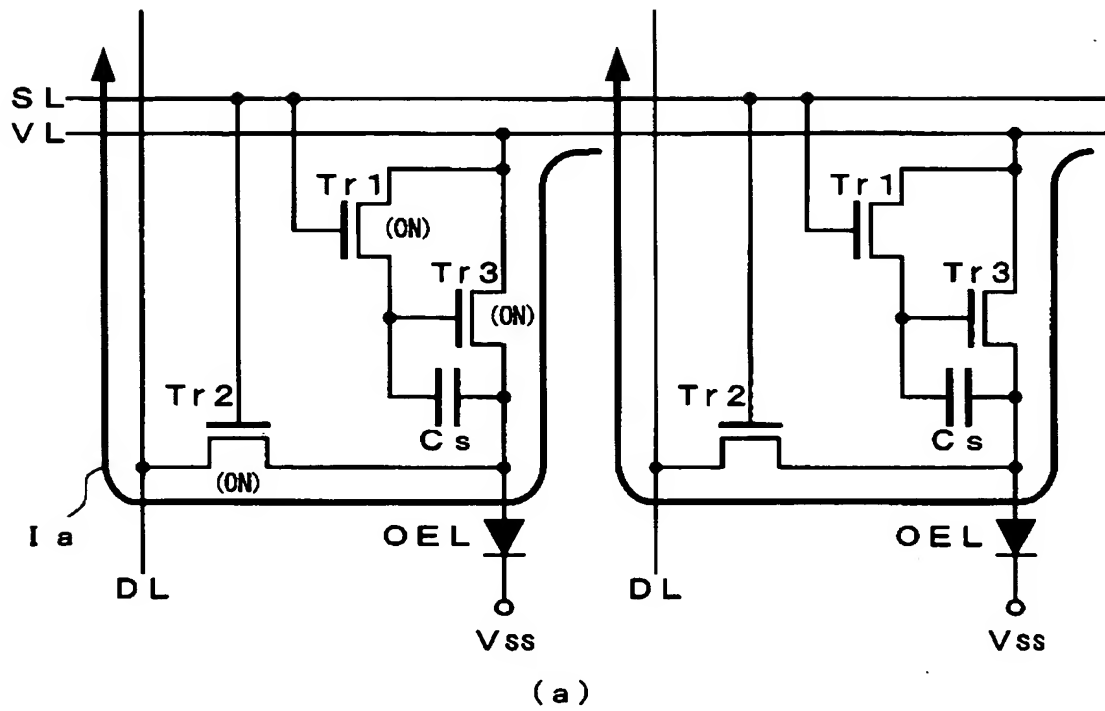
【図 16】



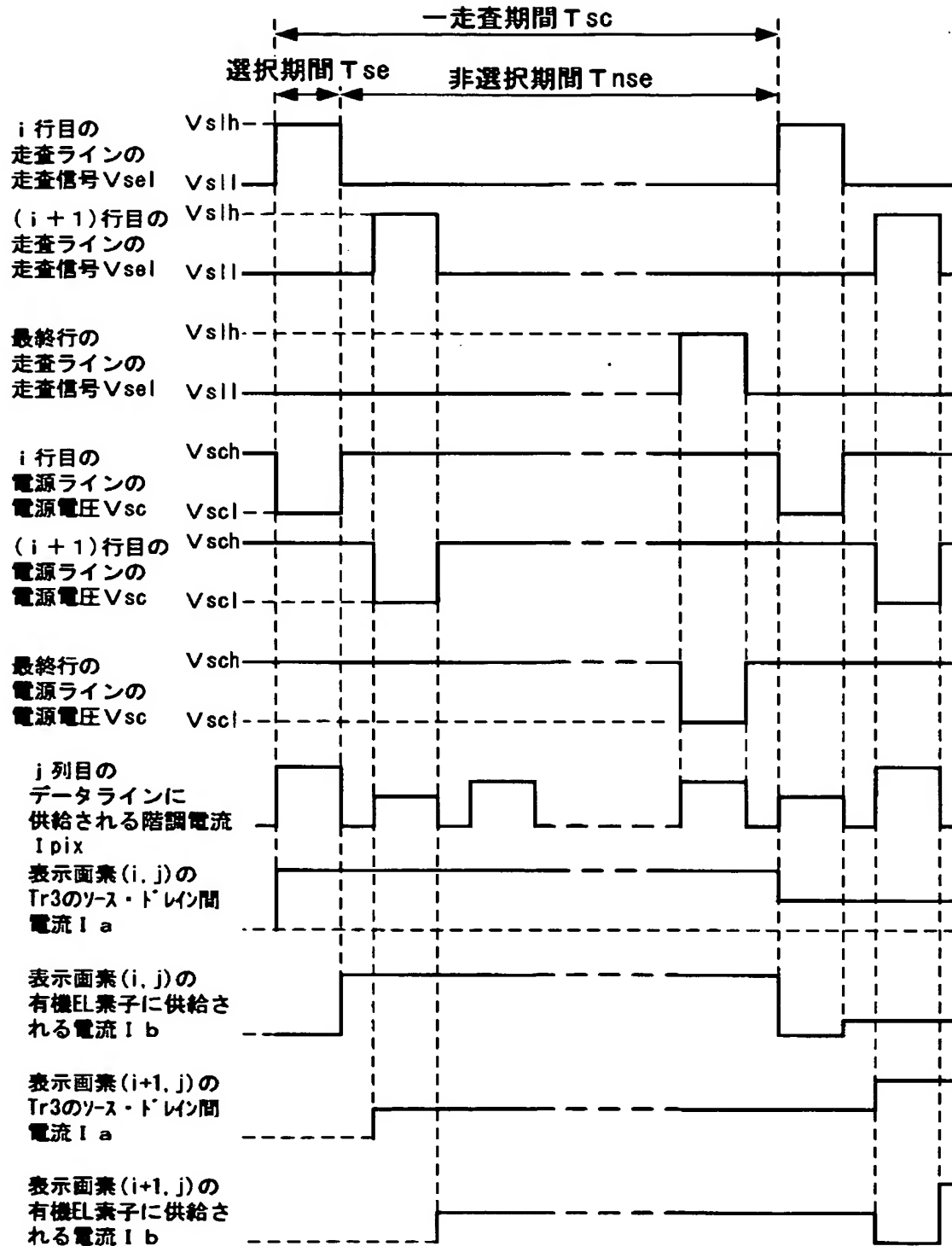
【図 17】



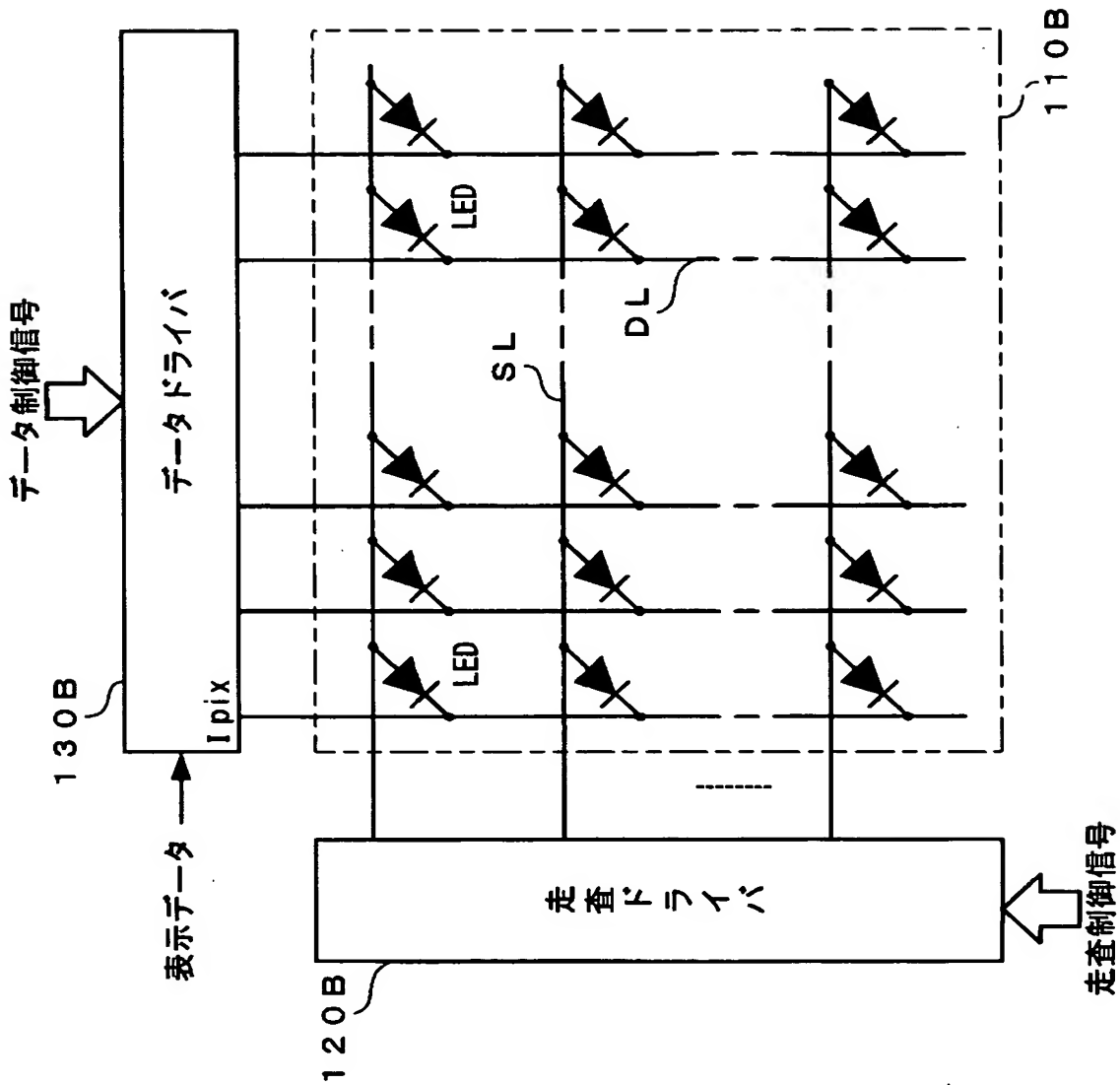
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 比較的簡易な回路構成により、出力端子間、及び、ドライバチップ間における出力電流のバラツキを抑制することができる電流駆動装置及びその駆動方法を提供し、該電流駆動装置をデータドライバに適用することにより表示ムラの発生を抑制することができる表示装置を提供する。

【解決手段】 電流駆動装置は、各負荷LDの駆動状態を制御するための所定の電流 I_c を生成して出力する単一の電流発生回路10Aと、電流発生回路10Aから供給される電流 I_c を、シフトレジスタ20Aに基づく所定のタイミングで順次取り込んで保持（記憶）する複数の電流記憶回路30Aと、シフトレジスタ20Aから出力されるスイッチ切換信号（シフト出力）SRにより、電流発生回路10Aから各電流記憶回路30Aへの電流 I_c の供給状態を制御する複数のスイッチ手段40Aと、を備えて構成されている。

【選択図】 図1

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 2 - 1 8 7 8 0 3 |
| 受付番号 | 5 0 2 0 0 9 4 3 2 5 6 |
| 書類名 | 特許願 |
| 担当官 | 第一担当上席 0 0 9 0 |
| 作成日 | 平成 1 4 年 6 月 2 8 日 |

<認定情報・付加情報>

【提出日】 平成14年 6月27日

次頁無

特願 2 0 0 2 - 1 8 7 8 0 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 4 4 3]

1. 変更年月日 1 9 9 8 年 1 月 9 日

[変更理由] 住所変更

住 所 東京都渋谷区本町 1 丁目 6 番 2 号

氏 名 カシオ計算機株式会社



特願 2 0 0 2 - 1 8 7 8 0 3

出 願 人 履 歴 情 報

識別番号

[3 9 9 1 1 1 0 6 0]

1. 変更年月日

2 0 0 2 年 4 月 1 8 日

[変更理由]

住所変更

住 所

福岡県福岡市西区姪浜町 2 0 0 - 1

氏 名

服部 励治